

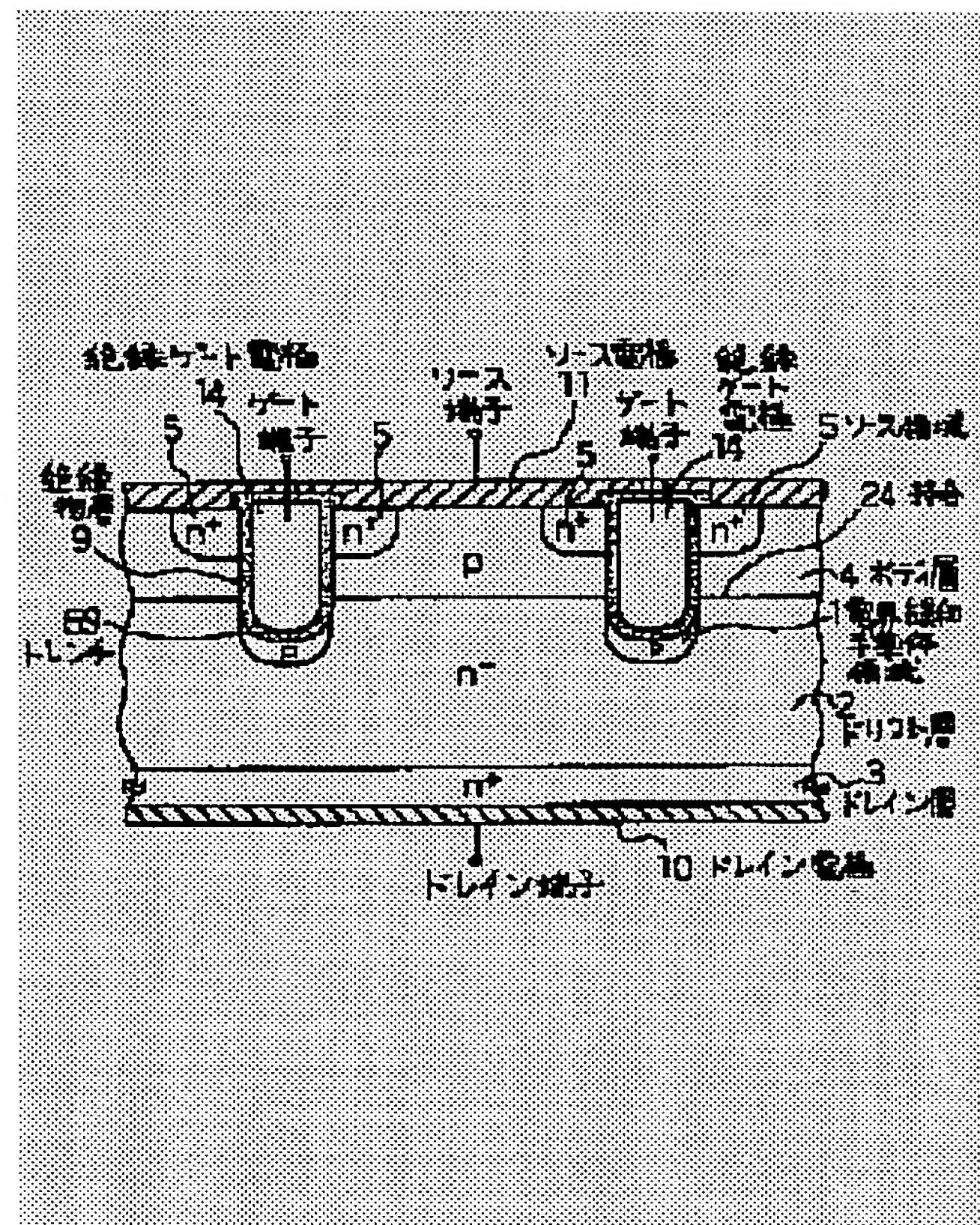
INSULATED GATE SEMICONDUCTOR DEVICE

Patent number: JP10098188
Publication date: 1998-04-14
Inventor: SUGAWARA YOSHITAKA; ASANO KATSUNORI
Applicant: KANSAI ELECTRIC POWER CO INC:THE;; HITACHI LTD
Classification:
- **international:** H01L29/78
- **european:**
Application number: JP19960331321 19961211
Priority number(s):

Abstract of JP10098188

PROBLEM TO BE SOLVED: To relax an electric field intensity of an insulation material layer at the lower part of a trench-type insulating gate layer and to improve voltage-resistance and reliability by providing at the lower part of the trench-type insulation gate, the first semiconductor area of the second conduction type formed in a semiconductor substrate, that is, a semiconductor area for relaxing electric field.

SOLUTION: A trench-type insulating gate electrode 14, with a substrate, in a broad sense, comprising a substrate 3, a drift layer 2, and a body layer 4 etched anisotropically, forms a trench 69 penetrating the body layer 4 of p-conductive type with its bottom part reaching the drift layer 2 of n<-> - conductivity type. At its bottom, an electric field-relaxing semiconductor area 1 of p-conductive type is formed, then after a gate insulating film 9 is formed on the inside surface of the trench 69, polysilicon is deposited to fill the trench 69 with it for forming a gate area 64. At the lower part of the trench-type insulation gate electrode 14, most of the applied voltage is shared with the electric field relaxing semiconductor area 1 and the drift layer 2 of n<-> - conductivity type, the electric field intensity of the insulating material layer 9 is relaxed.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-98188

(43)公開日 平成10年(1998)4月14日

(51)Int.Cl.⁸

H 01 L 29/78

識別記号

F I

H 01 L 29/78

6 5 2 G

6 5 3 C

6 5 5 A

審査請求 未請求 請求項の数12 OL (全 16 頁)

(21)出願番号 特願平8-331321

(22)出願日 平成8年(1996)12月11日

(31)優先権主張番号 特願平8-203992

(32)優先日 平8(1996)8月1日

(33)優先権主張国 日本 (JP)

(71)出願人 000156938

関西電力株式会社

大阪府大阪市北区中之島3丁目3番22号

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 菅原 良孝

大阪市北区中之島3丁目3番22号 関西電力株式会社内

(72)発明者 浅野 勝則

大阪市北区中之島3丁目3番22号 関西電力株式会社内

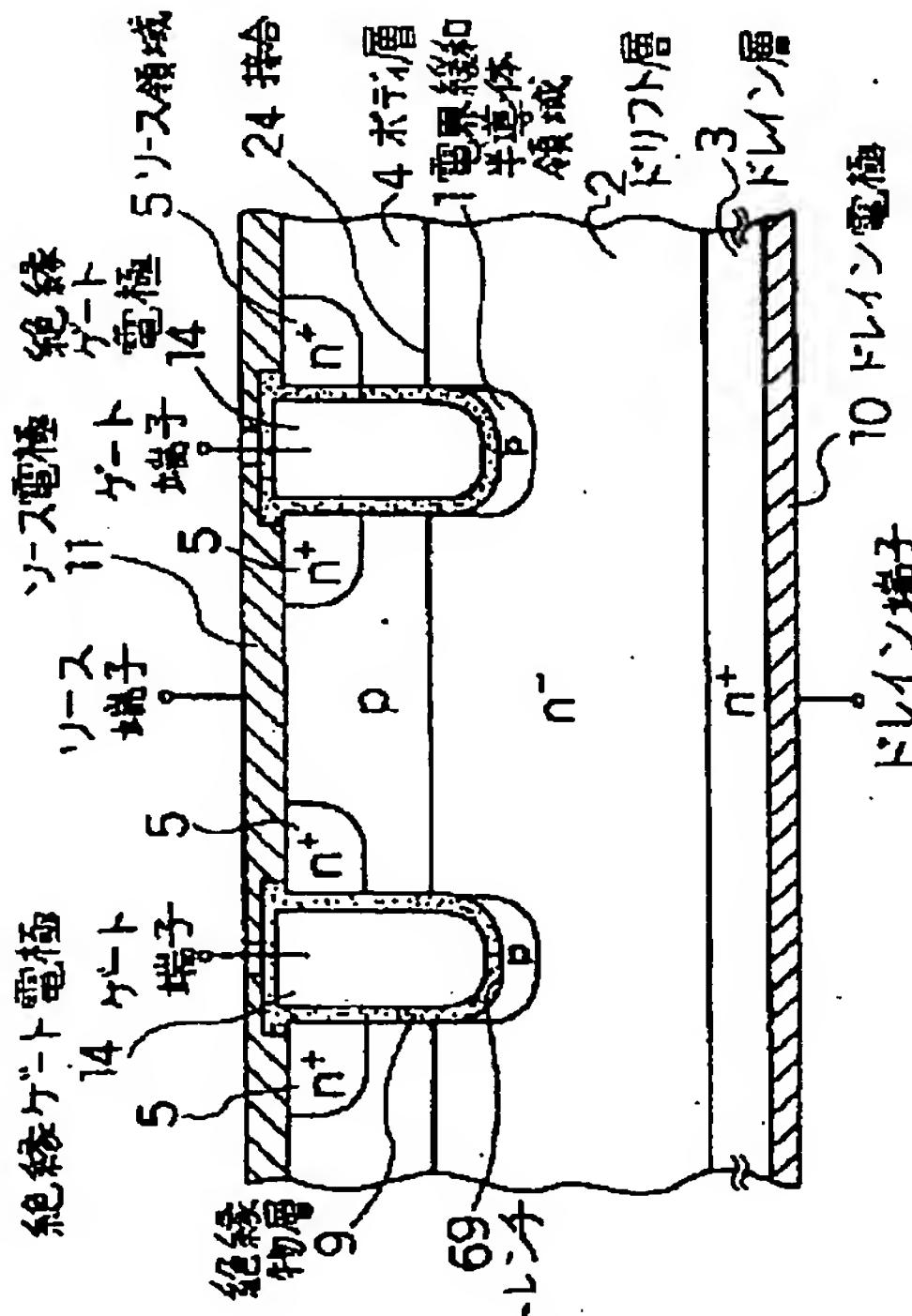
(74)代理人 弁理士 東島 隆治 (外1名)

(54)【発明の名称】 絶縁ゲート半導体装置

(57)【要約】

【課題】 トレンチ型絶縁ゲート構造の半導体装置において、n-導電型のドリフト層2のキャリア濃度が大きい場合に、チャネルが形成されないようにして、ドレイン-ソース間に高電圧を印加すると、トレンチ型絶縁ゲートの下部の絶縁物層9の電界強度が高くなり絶縁破壊が生じる。半導体装置の耐圧はこの絶縁物層9の絶縁破壊により制限され、高耐圧化が困難であった。

【解決手段】 トレンチ型絶縁ゲート半導体装置のトレンチ内の絶縁物層9の下部のドリフト層2内にドリフト層2の導電型とは反対の導電型の電界緩和半導体領域1を形成する。またトレンチ型絶縁ゲート半導体装置のトレンチ内に設けた絶縁物層9の底部の厚さをその側面部より大幅に厚くする。



【特許請求の範囲】

【請求項 1】 第1の導電型をもつ半導体基板、前記半導体基板上に設けられ、第1の導電型と反対の第2の導電型をもち、半導体基板との間に接合を形成する第2の導電型の半導体層、

前記の半導体層を貫通して前記半導体基板の一部までうがった少なくとも一つの凹部、

前記凹部の底部において前記半導体基板内に形成された第2の導電型の第1の半導体領域、

前記凹部の内表面に形成した絶縁層、

前記絶縁層によって前記基板及び前記半導体層と絶縁されて少なくとも一部が前記凹部内に設けられたゲート、前記半導体層の中で前記絶縁層に囲まれた前記ゲートの周囲部の領域において前記第2の導電型の半導体層の表面から所定の深さまで形成された第1の導電型の第2の半導体領域、

前記第2の導電型の半導体層及び前記第2の半導体領域の上にこれらと導電的に設けた第1の電極、及び前記半導体基板の他の部分に設けた第2の電極、

を備えたことを特徴とする絶縁ゲート半導体装置。

【請求項 2】 前記半導体基板は、より高い導電率を持つ半導体層の上に形成した同じ導電型でそれより低い導電率の半導体層を有することを特徴とする請求項1記載の絶縁ゲート半導体装置。

【請求項 3】 前記第2の半導体領域は前記半導体基板のうち前記第2の導電型の半導体層と接合を形成している部分よりも導電率が高いことを特徴とする請求項1記載の絶縁ゲート半導体装置。

【請求項 4】 前記基板の前記接合をもつ面とは反対側の面に第2の導電型の層を設けたことを特徴とする請求項1記載の絶縁ゲート半導体装置。

【請求項 5】 半導体基板内に第2の導電型の第3の半導体領域を前記凹部から隔離して設けたことを特徴とする請求項1記載の絶縁ゲート半導体装置。

【請求項 6】 前記基板の前記接合をもつ面とは反対側の面に第2の導電型の層を設け、かつ半導体基板内に第2の導電型の領域を前記凹部から隔離して設けたことを特徴とする請求項4記載の絶縁ゲート半導体装置。

【請求項 7】 前記第2の電極が、前記半導体基板の上であって前記第1の電極から所定の距離を隔てた位置に設けられたことを特徴とする請求項1記載の絶縁ゲート半導体装置。

【請求項 8】 前記半導体基板内に形成される第2の導電型の第1の半導体領域を、前記凹部の底部及び底部につながる側部に設けたことを特徴とする請求項1記載の絶縁ゲート半導体装置。

【請求項 9】 第1の導電型をもつ半導体基板、前記半導体基板上に設けられ、第1の導電型と反対の第2の導電型をもち、半導体基板との間に接合を形成する第2の導電型の半導体層、

前記の半導体層を貫通して前記半導体基板の一部までうがった少なくとも一つの凹部、

前記凹部の内表面に形成され、前記凹部の底部において、前記凹部の側面より厚さが大きい絶縁層、

前記絶縁層によって前記基板及び前記半導体層と絶縁されて少なくとも一部が前記凹部内に設けられたゲート、前記半導体層の中で前記絶縁層に囲まれた前記ゲートの周囲部の領域において前記第2の導電型の半導体層の表面から所定の深さまで形成された第1の導電型の第2の半導体領域、

前記第2の導電型の半導体層及び前記第2の半導体領域の上にこれらと導電的に設けた第1の電極、及び前記半導体基板の他の部分に設けた第2の電極、

を備えたことを特徴とする絶縁ゲート半導体装置。

【請求項 10】 前記基板の前記接合をもつ面とは反対側の面に第2の導電型の層を設けたことを特徴とする請求項9記載の絶縁ゲート半導体装置。

【請求項 11】 前記凹部の内表面に形成した絶縁層は、前記凹部の底部の絶縁層の厚さが前記凹部の側面の厚さの約5ないし約20倍である請求項9又は10記載の絶縁ゲート半導体装置。

【請求項 12】 前記凹部の底部に形成した絶縁層の厚さは約0.5ないし約2ミクロンであることを特徴とする請求項9又は10記載の絶縁ゲート半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スイッチング素子として用いられる絶縁ゲート半導体装置に関するものである。

【0002】

【従来の技術】従来から、高速スイッチング特性に優れ、かつ高入力インピーダンスをもつて入力損失が小さい電力用縦型半導体装置として、MOSFETや絶縁ゲートバイポーラトランジスタ（以下IGBTと記す）が知られている。両トランジスタとも低損失化を図るためにそれぞれの半導体装置に内在する接合型電界効果トランジスタ（以下JFETと記す）の抵抗を削減するために、図11や図12に示すように、凹部29にゲート14を形成するトレンチ型絶縁ゲート構造の半導体装置が製作されている。

【0003】

【発明が解決しようとする課題】図11及び図12の従来のトレンチ型絶縁ゲート構造の半導体装置において、第1の導電型（n）をもつ半導体基板としてのn-導電型のドリフト層2のキャリア濃度が大きい場合には、ゲート電位をソース電位（図12ではエミッタ電位）以下にしてチャネルが形成されないようにしている。この場合、ドレイン-ソース間（図12ではコレクターエミッタ間）に正極性の高電圧を印加すると、第1の導電型をもつ半導体基板上的一部もしくは全面に設けられ第1の

導電型 (n) と反対の第2の導電型 (p) をもち、n-導電型のドリフト層2との間に接合を形成する半導体層としてのp導電型のボディ層4とn-導電型のドリフト層2の接合から空乏層が拡がる。ところが、ゲート14の直下ではn-導電型のドリフト層2のキャリア濃度が大きく導電率が高いので、その層の抵抗が小さくなる。その結果n-導電型のドリフト層2での電圧分担が小さくなり、凹部29の内表面に形成された絶縁物層9の底部に高電圧が加わることになる。このため、トレンチ型絶縁ゲート下部における絶縁物層9内の底部電界強度が高くなり、耐圧はこの絶縁物層9の絶縁破壊により制限され、装置の高耐圧化が困難であった。また、絶縁物層9内の電界強度が高くなると絶縁物層9の劣化につながるため、高信頼度を得ることが困難であった。

【0004】

【課題を解決するための手段】本発明は、トレンチ型絶縁ゲート層の下部の電界強度を緩和し、高耐圧及び高信頼度の絶縁ゲート半導体装置を提供することを目的としている。本発明では、上記課題を解決するために、トレンチ型絶縁ゲート半導体装置のトレンチ型絶縁ゲートの下部に、半導体基板内に形成された第2の導電型の第1の半導体領域すなわち電界緩和のための半導体領域を設けた。これにより、ドレインーソース間（あるいはコレクターエミッタ間）に正極性の電圧を印加した場合、たとえば図1～図10でドリフト層が第1の導電型であると、第2の導電型のボディ層と第1の導電型のドリフト層に空乏層が拡がる。一方、トレンチ型絶縁ゲート電極の下部では、電界緩和のための半導体領域と第1の導電型ドリフト層との接合から、ドレインーソース間（あるいはコレクターエミッタ間）電圧に応じて空乏層が拡がり、印加電圧の大部分が上記電界緩和半導体領域と第1の導電型のドリフト層により分担されるようになる。この結果、ゲートの絶縁物層底部の電圧分担が小さくなりその絶縁物層の電界強度が緩和され、半導体装置の高耐圧化あるいは高信頼化が達成できる。本発明で用いるトレンチの語は溝以外に各種の形の孔、凹所を包含する概念である。

【0005】本発明の他のものでは、トレンチ型絶縁ゲートの底部の絶縁物層の厚さを側面の絶縁物層の厚さより大幅に厚くしている。これにより、高耐圧化あるいは高信頼性が達成できる。また、この場合、前記電界緩和のための半導体領域を設ければ、さらに高い耐圧あるいは高信頼性が達成される。

【0006】

【発明の実施の形態】本発明の絶縁ゲート半導体装置は以下の実施形態をもつものである。すなわち第1の導電型をもつ半導体基板上に、第1の導電型と反対の第2の導電型をもち、前記半導体基板との間に接合を形成する第2の導電型の半導体層を設け、さらに前記半導体層を貫通して前記半導体基板の一部までうがった凹部を設ける。前記凹部内表面に底部の厚さが側面の厚さより厚い絶縁層を形成し、その絶縁層によって前記半導体基板及び前記第2の導電型の半導体層から絶縁したゲートの少なくとも一部を前記凹部内に設ける。さらに前記半導体層の中で前記絶縁層に囲まれた前記ゲートの周囲部の領域において、前記ゲートの周囲部の前記第2の導電型の半導体層の表面から所定の深さまで第1の導電型の第2の半導体領域を形成する。さらに前記第2の導電型の半導体層及び前記第2の半導体領域の上に第1の電極をこれらと導電的に設け、さらに前記半導体基板の他の部分に第2の電極を設けている。

【0007】また、前記半導体基板は、より高い導電率をもつ半導体層の上に同じ導電型でそれより低い導電率の導電体層を設けている。さらに、前記第2の半導体領域は前記半導体基板のうち前記第2の導電型の半導体層と接合を形成している部分よりも導電率が高くなされている。さらに、前記基板の前記接合をもつ面とは反対側の面に第2の導電型の層を設けている。さらに、半導体基板内に第3の導電型の第2の半導体領域を前記凹部から隔離して設けている。さらに、前記基板の前記接合をもつ面とは反対側の面に第2の導電型の層を設け、かつ半導体基板内に第3の導電型の第2の半導体領域を前記凹部から隔離して設けている。さらに、第2の電極を半導体基板の上であって前記第1の電極から所定の距離を隔てた位置に設けている。さらに、半導体基板内に形成される第2の導電型の第1の半導体領域を、前記凹部の底部及び底部につながる側部に設けている。

【0008】本発明の他の絶縁ゲート半導体装置は以下の実施形態をもつものである。すなわち第1の導電型をもつ半導体基板上に、第1の導電型と反対の第2の導電型をもち、前記半導体基板との間に接合を形成する第2の導電型の半導体層を設け、さらに前記半導体層を貫通して前記半導体基板の一部までうがった凹部を設ける。前記凹部内表面に底部の厚さが側面の厚さより厚い絶縁層を形成し、その絶縁層によって前記半導体基板及び前記第2の導電型の半導体層から絶縁したゲートの少なくとも一部を前記凹部内に設ける。さらに前記半導体層の中で前記絶縁層に囲まれた前記ゲートの周囲部の領域において、前記ゲートの周囲部の前記第2の導電型の半導体層の表面から所定の深さまで第1の導電型の第2の半導体領域を形成する。さらに前記第2の導電型の半導体層及び前記第2の半導体領域の上に第1の電極をこれらと導電的に設け、さらに前記半導体基板の他の部分に第2の電極を設けている。さらに、前記基板の前記接合をもつ面とは反対側の面に第2の導電型の層を設けている。さらに、前記凹部の内表面に形成した絶縁層は、前記凹部の底部絶縁層の厚さが前記凹部の側面の厚さの約5ないし約20倍である。さらに、前記凹部の底部に形成した絶縁層の厚さは約0.5ないし約2ミクロンである。

る。本発明において、上記の約5、約20、約0.5、約2などは2割程度の誤差範囲を含むものと解すべきである。

【0009】

【実施例】図1ないし図10を参照して、本発明の実施例を説明する。

【実施例1】図1は、本発明の実施例1である耐圧2500V級nチャネルSiC(炭化珪素)MOSFETの単位セグメントの断面図である。この実施例では、セグメント幅は5μm、奥行きは1mmである。その他の構造諸元は以下のとおりである。n-導電型のドリフト層2はn+導電型のドレイン層3の上に設け、厚さは約20μmである。n+導電型のドレイン層3は厚さ約300μm、p導電型のボディ層4の厚さは4μm、n+導電型のソース領域5およびp導電型の電界緩和半導体領域1の接合深さは各0.5μm、凹部すなわちトレンチ69の深さは6μm、トレンチ幅は3μm、トレンチ69内に設けたSiO₂(酸化珪素)等の絶縁物層9の厚さはトレンチ69底部及びトレンチ69側面で0.1μmである。本実施例では、トレンチ型絶縁ゲート電極14は紙面奥行方面に長いストライプ状である。なおトレンチの平面形状は、例えばこの実施例のように紙面奥行方向に長い長溝状のもの他に、例えば直径3μmの円形孔状や正方形のものなどでもよい。トレンチの配置は、例えば5μmピッチで等間隔に配列する。なお円形のトレンチの場合は縦横に格子状に又は千鳥状に配列すればよい。

【0010】本実施例の製作方法の具体例は、次のとおりである。最初にドレイン領域として機能する10¹⁸から10²⁰atm/cm³濃度の、たとえば、10¹⁹atm/cm³の濃度のn+形SiC(炭化珪素)基板3を用意する。この基板3の一表面上に10¹⁵から10¹⁶atm/cm³濃度、たとえば約5×10¹⁵atm/cm³濃度のSiCのn-導電型のドリフト層2を気相成長法等により形成する。次にそのドリフト層2の上に10¹⁶atm/cm³程度のSiCのp導電型のボディ層4を気相成長法等により形成する。そして、ソース層として、選択的に10¹⁸atm/cm³程度の濃度のn+導電型の領域5を窒素のイオン打ち込み等により形成する。(窒素にかえてりん等でも可能。)

【0011】次に、図1のように基板3、ドリフト層2及びボディ層4からなる広義の基板を異方性エッチングして、p導電型のボディ層4を貫通し底部がn-導電型のドリフト層2に達するトレンチ(溝)69を形成する。その底に深さ0.5μm、10¹⁷atm/cm³程度のp導電型の電界緩和半導体領域1をホウ素(又はアルミニウム等でも可)のイオン打ち込み等により形成する。続いて、トレンチ69の内表面にSiO₂のゲート絶縁膜9を形成した後、トレンチ69内にりんを高濃度に含んだゲート領域としてのポリシリコンを堆積しトレンチ69を埋め込んでゲート領域14を作る。トレンチ69の

寸法の1例は、深さ6μm、幅3μm、長さ1mmである。ここに示した寸法は1例であって、必要に応じて他の寸法も用いる。トレンチ69内のポリシリコンを残し、それ以外の場所(基板表面等)の残りのポリシリコンを除去することにより、トレンチ型絶縁ゲート電極14が形成される。最後に、アルミニウム(他にニッケル等も用いる)で表面にソース電極11、裏面にドレイン電極10を形成し、絶縁ゲート半導体装置(MOSFET)を完成する。このMOSFETのオン抵抗は、約30mΩ·cm²であった。

【0012】本実施例はnチャネルSiC MOSFETであり、この装置ではドレイン電極10の電位がソース電極11の電位より高く、かつゲート電極であるトレンチ型絶縁ゲート電極14の電位がソース電極11の電位よりも高くなるようにゲート電圧を印加する。このゲート電圧がしきい値電圧を超えた場合、トレンチ型絶縁ゲート電極14の側面のp導電型のボディ層4の表面にn導電型のチャネルが形成される。それにより電子がn+導電型のソース領域5からそのチャネルを介してn-導電型のドリフト層2、さらにn+導電型のドレイン層3に流れ込み半導体装置がオンとなる。また、ゲート電極であるトレンチ型絶縁ゲート電極14の電位がソース電極11の電位以下になるようにゲート電圧を印加し、かつドレイン電極10の電位がソース電極11の電位より高くなるように電圧を印加した場合、n-導電型のドリフト層2とp導電型のボディ層4の接合24の両側に空乏層が拡がる。この空乏層により電界強度を緩和し、印加電圧に耐える耐電圧性が生じる。

【0013】本実施例では、上記の接合24の両側に拡がる空乏層以外に、トレンチ型絶縁ゲート電極14の下部のp導電型の電界緩和半導体領域1とn-導電型のドリフト層2との接合からもドレイン-ソース間電圧に応じてそれぞれの層に空乏層が拡がり、印加電圧に耐える耐電圧性が生じる。したがって、トレンチ型絶縁ゲート電極14の下部では、印加電圧の大部分が上記電界緩和半導体領域1とn-導電型のドリフト層2により分担される。このためにゲート底部における絶縁物層9の電圧分担が小さくなり、その絶縁物層9の電界強度が緩和される。これにより、ゲート絶縁物層9の電界強度が緩和され耐電圧の向上を図ることができるとともに、ゲート絶縁物層9の信頼性が向上する。

【0014】計算による予測では、図11のような従来のトレンチ型絶縁ゲートMOSFETの場合には、トレンチ型絶縁ゲート電極14とソース電極11を短絡し、ソース電極11を0Vとしドレイン電極10に+2000Vを印加した場合、トレンチ型絶縁ゲート底部のSiO₂絶縁物層9の電界強度は、SiO₂の破壊電界強度である6~10MV/cmに近い値となり、半導体装置の耐圧はSiO₂絶縁膜の耐圧で決まり2000Vであった。これに対して、本実施例のMOSFETのようにトレンチ型絶縁ゲ

ート14の下部に電界緩和半導体領域1を形成したものでは、トレンチ型絶縁ゲート底部側端部のSiO₂絶縁物層9の電界強度は、従来のものに比べて15～30%減少する。その結果、半導体装置の耐圧は2300Vから2600Vに向上した。従来のようにトレンチ型絶縁ゲート14の下部に電界緩和半導体領域1を形成しなかったものでは、ドレイン電極10に印加した電圧はn-導電型のドリフト層2とトレンチ型絶縁ゲート14の底部の絶縁物層9により分担され、絶縁物層9の電圧分担が大きくなり、それに応じて電界強度も大きくなり、絶縁物層の耐圧で半導体装置の耐圧も決まっていた。しかし、本実施例のようにトレンチ型絶縁ゲート14の下部に電界緩和半導体領域1を形成すると、電界緩和半導体領域1、n-導電型のドリフト層2およびトレンチ型絶縁ゲート底部絶縁物層9により電圧が分担される。特に電界緩和半導体領域1とn-導電型のドリフト層2の接合近傍でドレインーソース間印加電圧の大部分を分担する。それにより、トレンチ型絶縁ゲート14の底部の絶縁物層9の電圧分担が小さくなり、それに応じてその層9の電界強度も小さくなる。耐圧が高い素子の場合には、トレンチ型絶縁ゲート14の底部の絶縁物層9の電界強度が特に高くなるので、トレンチ型絶縁ゲート14の下部に電界緩和半導体領域1を形成した効果は顕著になる。

【0015】<<実施例2>>図2は、本発明の実施例2のnチャネルSiC IGBTのセグメントの断面図である。その構造は実施例1のn+導電型のドレイン層3の代わりにp導電型のコレクタ層6を形成したものである。実施例2の構造諸元および製作方法は、実施例1のSiC-n+導電型基板の代わりにSiC-p+導電型基板を用いる点が異なるだけであり、後の製作工程は実施例1の場合と同様である。なお、p+導電型基板の不純物濃度は、10¹⁸～10¹⁹atm/cm³である。

【0016】本実施例のnチャネルIGBTの動作において、先ずコレクタ電極12の電位がエミッタ電極13の電位より高く、かつゲート電極であるトレンチ型絶縁ゲート電極14の電位がエミッタ電極13の電位よりも高くなるようにゲート電圧を印加する。このゲート電圧がしきい値電圧を超えると、トレンチ型絶縁ゲート電極14の側面のp導電型のボディ層4の表面にn導電型のチャネルが形成され、n+導電型のエミッタ領域7からそのチャネルを介して電子がn-導電型のドリフト層2に流れ込む。これによってp導電型のコレクタ層6からはn-導電型のドリフト層2に正孔が注入されオンとなる。この時、n-導電型のドリフト層2で電導率変調が起こるため、MOSFETでは非常に高かったオン抵抗が、IGBTでは大幅に低くなる。本実施例の場合、200A/cm²の電流でオン電圧は1.5Vであり、オン抵抗は7.5mΩ·cm²であった。また、ゲート電極であるトレンチ型絶縁ゲート電極14の電位がエミッタ電極13の電位以下になるようにゲート電圧を印加し、かつコレクタ電

極12の電位がエミッタ電極13の電位より高くなるように電圧を印加した場合、n-導電型のドリフト層2とp導電型のボディ層4の接合24の両側に空乏層が拡がって電界強度を緩和し、印加電圧に耐える耐電圧性が生じる。本実施例では、この空乏層で電圧を分担する以外に、トレンチ型絶縁ゲート電極14の下部でも、コレクターエミッタ間電圧に応じて電界緩和半導体領域1とn-導電型のドリフト層2との接合からそれぞれの層に空乏層が拡がって耐電圧性が生じる。したがってトレンチ型絶縁ゲート電極14の下部では、印加電圧の大部分が上記電界緩和半導体領域1とn-導電型のドリフト層2により分担される。それ故、ゲート絶縁物層9の電圧分担が小さくなり絶縁物層9の電界強度が緩和される。これにより、ゲート絶縁物層9の信頼性が向上する。また、ゲート絶縁物層9の電界強度が緩和され耐圧の向上を図ることが可能である。本実施例の場合においても、前述のMOSFETの場合と同様にトレンチ型絶縁ゲート14の底部側面部の絶縁物層9の電界強度は、電界緩和半導体領域1を形成しない従来の構造のIGBTに比べ、15～30%程度緩和される。したがって、本実施例においても、ゲート絶縁物層9の電界強度が緩和されたことにより耐圧の向上を図れるとともにゲート絶縁物層9の信頼性が向上する。例えば実施例によれば耐圧が2300Vから2600Vに改善できた。

【0017】<<実施例3>>図3は、本発明の実施例3である耐圧2500V級nチャネルSiC（炭化珪素）MOSFETの単位セグメントの断面図である。この実施例では、セグメント幅は5μm、奥行きは1mmである。その他の構造諸元は以下のとおりである。n-導電型のドリフト層2はn+導電型のドレイン層3の上に設け、厚さは約20μmである。n+導電型のドレイン層3は厚さ約300μm、p導電型のボディ層4の厚さは4μm、n+導電型のソース領域5およびp導電型の電界緩和半導体領域1の接合深さは各0.5μm、凹部すなわちトレンチ69の深さは6μm、トレンチ幅は3μm、トレンチ69内に設けたSiO₂（酸化珪素）等の絶縁物層9の厚さはトレンチ69底部で0.5μmトレンチ69側面で0.1μmである。本実施例では、トレンチ型絶縁ゲート電極14は紙面奥行方面に長いストライプ状である。なおトレンチの平面形状は、例えばこの実施例のように紙面奥行方向に長い長溝状のもの他に、例えば直径3μmの円形孔状や正方形のものなどでもよい。トレンチの配置は、例えば5μmピッチで等間隔に配列する。なお円形のトレンチの場合は縦横に格子状に又は千鳥状に配列すればよい。

【0018】本実施例の製作方法の具体例は、次のとおりである。最初にドレイン領域として機能する10¹⁸から10²⁰atm/cm³濃度の、たとえば、10¹⁹atm/cm³の濃度のn+形SiC（炭化珪素）基板3を用意する。この基板3の一表面上に10¹⁵から10¹⁶at

m/cm^3 濃度、例えば約 $5 \times 10^{15} \text{ a t m}/\text{cm}^3$ 濃度の SiC の n-導電型のドリフト層 2 を気相成長法等により形成する。次にそのドリフト層 2 の上に $10^{16} \text{ a t m}/\text{cm}^3$ 程度の SiC の p 導電型のボディ層 4 を気相成長法等により形成する。そして、ソース層として、選択的に $10^{18} \text{ a t m}/\text{cm}^3$ 程度の濃度の n⁺ 導電型の領域 5 を窒素のイオン打ち込み等により形成する。(窒素にかえてりん等でも可能。)

【0019】次に、図 3 のように基板 3、ドリフト層 2 及びボディ層 4 からなる広義の基板を異方性エッチングして、p 導電型のボディ層 4 を貫通し底部が n-導電型のドリフト層 2 に達するトレンチ(溝) 6 9 を形成する。その底に深さ $0.5 \mu\text{m}$ 、 $10^{17} \text{ a t m}/\text{cm}^3$ 程度の p 導電型の電界緩和半導体領域 1 をホウ素(又はアルミニウム等でも可)のイオン打ち込み等により形成する。続いて、トレンチ 6 9 の内表面に SiO₂ のゲート絶縁膜 9 を形成した後、トレンチ 6 9 内にりんを高濃度に含んだゲート領域としてのポリシリコンを堆積しトレンチ 6 9 を埋め込んでゲート領域 1 4 を作る。トレンチ 6 9 の寸法の 1 例は、深さ $6 \mu\text{m}$ 、幅 $3 \mu\text{m}$ 、長さ 1 mm である。ここに示した寸法は 1 例であって、必要に応じて他の寸法も用いる。トレンチ 6 9 内のポリシリコンを残し、それ以外の場所(基板表面等)の残りのポリシリコンを除去することにより、トレンチ型絶縁ゲート電極 1 4 が形成される。最後に、アルミニウム(他にニッケル等も用いられる)で表面にソース電極 1 1、裏面にドレイン電極 1 0 を形成し、絶縁ゲート半導体装置(MOSFET)を完成する。このMOSFETのオン抵抗は、約 $30 \text{ m}\Omega \cdot \text{cm}^2$ であった。

【0020】本実施例は n チャネル SiC MOSFET であり、この装置ではドレイン電極 1 0 の電位がソース電極 1 1 の電位より高く、かつゲート電極であるトレンチ型絶縁ゲート電極 1 4 の電位がソース電極 1 1 の電位よりも高くなるようにゲート電圧を印加する。このゲート電圧がしきい値電圧を超えた場合、トレンチ型絶縁ゲート電極 1 4 の側面の p 導電型のボディ層 4 の表面に n 導電型のチャネルが形成される。それにより電子が n⁺ 導電型のソース領域 5 からそのチャネルを介して n-導電型のドリフト層 2、さらに n⁺ 導電型のドレイン層 3 に流れ込み半導体装置がオンとなる。また、ゲート電極であるトレンチ型絶縁ゲート電極 1 4 の電位がソース電極 1 1 の電位以下になるようにゲート電圧を印加し、かつドレイン電極 1 0 の電位がソース電極 1 1 の電位より高くなるように電圧を印加した場合、n-導電型のドリフト層 2 と p 導電型のボディ層 4 の接合 2 4 の両側に空乏層が拡がる。この空乏層により電界強度を緩和し、印加電圧に耐える耐電圧性が生じる。

【0021】本実施例では、上記の接合 2 4 の両側に拡がる空乏層以外に、トレンチ型絶縁ゲート電極 1 4 の下部の p 導電型の電界緩和半導体領域 1 と n-導電型のドリ

フト層 2 との接合からもドレイン-ソース間電圧に応じてそれぞれの層に空乏層が拡がり、印加電圧に耐える耐電圧性が生じる。したがって、トレンチ型絶縁ゲート電極 1 4 の下部では、印加電圧の大部分が上記電界緩和半導体領域 1 と n-導電型のドリフト層 2 により分担される。このためにゲート底部における絶縁物層 9 の電圧分担が小さくなり、その絶縁物層 9 の電界強度が緩和される。これにより、ゲート絶縁物層 9 の電界強度が緩和され耐電圧の向上を図ることができるとともに、ゲート絶縁物層 9 の信頼性が向上する。

【0022】計算による予測では、図 11 のような従来のトレンチ型絶縁ゲート MOSFET の場合には、トレンチ型絶縁ゲート電極 1 4 とソース電極 1 1 を短絡し、ソース電極 1 1 を 0 V としドレイン電極 1 0 に $+2000 \text{ V}$ を印加した場合、トレンチ型絶縁ゲート底部の SiO₂ 絶縁物層 9 の電界強度は、SiO₂ の破壊電界強度である $6 \sim 10 \text{ MV/cm}$ に近い値となった。これに対して、本実施例の MOSFET のようにトレンチ型絶縁ゲート 1 4 の下部に電界緩和半導体領域 1 を形成し絶縁物層 9 の底部の厚みを側面の厚みより厚い $0.5 \mu\text{m}$ とした本実施例の場合では、トレンチ型絶縁ゲート底部側端部の SiO₂ 絶縁物層 9 の電界強度は、従来のものに比べて $45 \sim 65 \%$ 減少する。その結果、半導体装置の耐圧は 2900 V から 3250 V に向上した。従来のようにトレンチ型絶縁ゲート 1 4 の下部に電界緩和半導体領域 1 を形成しなかったものでは、ドレイン電極 1 0 に印加した電圧は n-導電型のドリフト層 2 とトレンチ型絶縁ゲート 1 4 の底部の絶縁物層 9 により分担され、絶縁物層 9 の電圧分担が大きくなり、それに応じて電界強度も大きくなっていた。しかし、本実施例のようにトレンチ型絶縁ゲート 1 4 の下部に電界緩和半導体領域 1 を形成すると、電界緩和半導体領域 1 と n-導電型のドリフト層 2 およびトレンチ型絶縁ゲート底部絶縁物層 9 により電圧が分担される。特に電界緩和半導体領域 1 と n-導電型のドリフト層 2 の接合近傍でドレイン-ソース間印加電圧の大部分を分担する。それにより、トレンチ型絶縁ゲート 1 4 の底部の絶縁物層 9 の電圧分担が小さくなり、それに応じてその層 9 の電界強度も小さくなる。耐圧が高い素子の場合には、トレンチ型絶縁ゲート 1 4 の底部の絶縁物層 9 の電界強度が特に高くなるので、トレンチ型絶縁ゲート 1 4 の下部に電界緩和半導体領域 1 を形成した効果は顕著になる。

【0023】<<実施例 4>> 図 4 は、本発明の実施例 4 の n チャネル SiC IGBT のセグメントの断面図である。その構造は実施例 1 の n⁺ 導電型のドレイン層 3 の代わりに p 導電型のコレクタ層 6 を形成したものである。実施例 2 の構造諸元および製作方法は、実施例 1 の SiC-n⁺ 導電型基板の代わりに SiC-p⁺ 導電型基板を用いる点が異なるだけであり、後の製作工程は実施例 1 の場合と同様である。なお、p⁺ 導電型基板の不純物濃度

は、 $10^{18} \sim 10^{19} \text{ a t m/cm}^3$ である。

【0024】本実施例のnチャネルIGBTの動作において、先ずコレクタ電極12の電位がエミッタ電極13の電位より高く、かつゲート電極であるトレンチ型絶縁ゲート電極14の電位がエミッタ電極13の電位よりも高くなるようにゲート電圧を印加する。このゲート電圧がしきい値電圧を超えると、トレンチ型絶縁ゲート電極14の側面のp導電型のボディ層4の表面にn導電型のチャネルが形成され、n⁺導電型のエミッタ領域7からそのチャネルを介して電子がn-導電型のドリフト層2に流れ込む。これによってp導電型のコレクタ層6からはn-導電型のドリフト層2に正孔が注入されオンとなる。この時、n-導電型のドリフト層2で電導率変調が起こるため、MOSFETでは非常に高かったオン抵抗が、IGBTでは大幅に低くなる。本実施例の場合、 200 A/cm^2 の電流でオン電圧は 1.5 V であり、オン抵抗は $7.5 \text{ m}\Omega \cdot \text{cm}^2$ であった。また、ゲート電極であるトレンチ型絶縁ゲート電極14の電位がエミッタ電極13の電位以下になるようにゲート電圧を印加し、かつコレクタ電極12の電位がエミッタ電極13の電位より高くなるように電圧を印加した場合、n-導電型のドリフト層2とp導電型のボディ層4の接合24の両側に空乏層が拡がって電界強度を緩和し、印加電圧に耐える耐電圧性が生じる。本実施例では、この空乏層で電圧を分担する以外に、トレンチ型絶縁ゲート電極14の下部でも、コレクターエミッタ間電圧に応じて電界緩和半導体領域1とn-導電型のドリフト層2との接合からそれぞれの層に空乏層が拡がって耐電圧性が生じる。したがってトレンチ型絶縁ゲート電極14の下部では、印加電圧の大部分が上記電界緩和半導体領域1とn-導電型のドリフト層2により分担される。それ故、ゲート絶縁物層9の電圧分担が小さくなり絶縁物層9の電界強度が緩和される。これにより、ゲート絶縁物層9の信頼性が向上する。また、ゲート絶縁物層9の電界強度が緩和され耐圧の向上を図ることが可能である。本実施例の場合においても、前述のMOSFETの場合と同様にトレンチ型絶縁ゲート14の底部側面部の絶縁物層9の電界強度は、電界緩和半導体領域1を形成しない従来の構造のIGBTに比べ、45～65%程度緩和される。したがって、本実施例においても、ゲート絶縁物層9の電界強度が緩和されたことにより耐圧の向上を図るとともにゲート絶縁物層9の信頼性が向上する。例えば実施例によれば耐圧が2900Vから3250Vに改善できた。

【0025】<<実施例5>>図5は本発明の実施例5のnチャネルSiC MOSFETの単位セグメントの断面図である。実施例5は、実施例3のn導電型チャネルSiC MOSFETに第2の導電型(p)の第3の半導体領域としての第2電界緩和半導体領域8を設けた構造である。この電界緩和半導体領域8は、 $0.5 \mu\text{m}$ 厚であり、表面不純物濃度が $10^{17} \text{ a t m/cm}^3$ 程度の、n-導電型のド

リフト層2と反対のp導電型を示す領域である。製作方法は、n-導電型のドリフト層2を形成するところまでは実施例3のMOSFETと同様である。実施例3の製法との主な違いは、n-導電型のドリフト層2の形成後、選択的にホウ素(またはアルミニウム等でも可)をイオン打ち込み等で注入し、第2電界緩和半導体領域8を形成する点である。その後の製作工程は実施例3の場合と全く同様であるから記載を省略する。

【0026】実施例3のMOSFETでは、トレンチ型絶縁ゲート14の底部の側端部における絶縁物層9の電界強度が大きくなり、耐圧はその部分の電界強度で決まっていた。それに対して、本実施例のように第2電界緩和半導体領域8を形成したものでは、空乏層が第2電界緩和半導体領域8とn-導電型のドリフト層2の接合部から拡がり、トレンチ型絶縁ゲート14の下部の電界緩和半導体領域1とn-導電型のドリフト層2の接合部から拡がる空乏層と連なる。そしてその空乏層はn-導電型のドリフト層2中をドレイン電極10側へ拡がる。その結果、ドレインソース電極間に印加された電圧が、前述の連なった空乏層によっても分担される。このため、絶縁物層9の電圧分担がさらに小さくなり、電界強度がさらに緩和される。本実施例においては、従来のものに比べて約55%～80%の電界強度が緩和される。したがって、実施例5の半導体装置は従来のものに比べて約55%以上耐圧が向上し、例えば、耐圧は3100Vから3600V程度に改善できる。上記の電界強度の緩和により上記絶縁物層9の信頼性向上がさらに図れる。実験例として、3000Vの電圧印加試験を実施したところ従来のものに比べて2倍以上の寿命が得られた。

【0027】<<実施例6>>図6は本発明の実施例6のnチャネルSiC IGBTのセグメントの断面図である。実施例6はnチャネルSiC IGBTに第2電界緩和半導体領域8を設けた構造を有する。この構造は実施例3のn⁺導電型のドレイン層3の代わりにp⁺導電型のコレクタ層6が形成されたものである。実施例6の構造諸元および製作方法では、実施例5のSiC-n導電型基板の代わりにSiC-p導電型基板を用い、ドレイン層を若干低濃度にするとともに、絶縁物層9の厚さや膜質の改善をはかっている。その他の製作工程は、実施例3の場合と同様である。なお、p⁺導電型基板の不純物濃度は、 $10^{18} \sim 10^{19} \text{ a t m/cm}^3$ である。この実施例の場合も実施例5の場合と同様に、第2電界緩和半導体領域8を形成することによる効果があり、絶縁物層9の電界強度が緩和される。本実施例においては、従来のものに比べて約65%～130%の電界強度が緩和される。したがって、この半導体装置では約25%以上耐圧向上を図ることができ、耐圧は3300Vから4600V程度に改善できた。上記の電界強度の緩和により上記絶縁物層9の信頼性向上も図れる。

【0028】<<実施例7>>図7は本発明の実施例7のn

チャネルSiC MOSFETの単位セグメントの断面図である。実施例7では、ドレイン電極19を実施例1～4のドレイン層3の面ではなくてボディ層4が設けられるドリフト層2の面に設けている。このような構成のものを横型の絶縁ゲート半導体装置と称している。実施例7では前記各実施例で設けていたp導電型のボディ層4の代わりに、一定の領域をもつたとえばストライプ状のp導電型のボディ領域40を設ける。ドリフト層2の上でボディ領域40から一定距離離れたところにn⁺導電型のドレイン領域33を設ける。そしてドレイン領域33の上にドレイン電極19を設ける。

【0029】ドレイン電極19は絶縁ゲート電極14から所定の距離を隔てて絶縁ゲート電極14に並行して設けるのが望ましい。ドレイン電極19とボディ領域40との間には1個又はそれ以上のp導電型のターミネーション領域15をボディ領域40に実質的に並行して設けている。ターミネーション領域15は、ボディ領域40の端部の電界集中を緩和するためのものである。上記の各点以外の構造は図1のものと同じである。横型の絶縁ゲート半導体装置では、ソース端子とドレイン端子が同じ方向に設けられているので、ハイブリッドIC等に組み込んで用いる場合の配線作業が簡単になる。またドレイン電極19が個々の半導体装置に設けられているので接続の自由度が増す。実施例7に示したドレイン領域及びドレイン電極19の構成は、図5に示す実施例5の構成に対しても同様に適用可能である。また図2の実施例2、図4の実施例4及び図6の実施例6において、コレクタ層6に相当するp⁺導電型のコレクタ領域をボディ層4上の面に設け、そのコレクタ領域にコレクタ電極を設けることにより、図7の構成を実施例2、4及び6の装置にも同様に適用可能である。

【0030】<<実施例8>>図8は、本発明の実施例8のnチャネルSiC MOSFETのセグメントの断面図である。実施例8の構造は大略実施例3と同じであるが、電界緩和半導体領域の断面形状と製作工程において実施例3と異なる。実施例8では、トレンチ69を形成した後、電界緩和半導体領域1Aを形成する際、ホウ素等のイオン打ち込み量を実施例3より多くする。これにより、トレンチ底部の両端部においてn-導電型のドリフト層2内の横方向のホウ素の拡散がより顕著に進行し、図8に示すように電界緩和半導体領域1Aが深さ方向と同程度まで両側にふくらんだ形状となる。その結果トレンチ型絶縁ゲート14の底部側端部における絶縁物層9の電界強度がより緩和され、より高い耐圧を実現できる。その理由は、電界緩和半導体領域1Aのふくらんだ広い領域で、電圧が分担されるためである。たとえば実施例3の半導体装置の耐圧2900～3250Vに比べ、図8に示す実施例8の耐圧は3200Vから3500Vと増大し、更に信頼性も向上できた。一方、図8の構造の場合、オン抵抗が若干増大するが実用的には全く問題に

ならない程度である。なお、本実施例の両脇にふくらんだ形状の電界緩和半導体領域1Aは、実施例1から実施例7にも同様に適用可能である。

【0031】前記の実施例7に示したドレイン領域及びドレイン電極19の構成は、図8に示す実施例8の構成に対しても同様に適用可能である。

【0032】<<実施例9>>図9は、本発明の実施例9である耐圧2500V級nチャネルSiC（炭化珪素）MOSFETの単位セグメントの断面図である。この実施例はトレンチ69側面の絶縁層9の厚さに対してトレンチ底部のそれを約5ないし約20倍以上にして電圧の分担を改良しようとする。この実施例では、セグメント幅は5μm、奥行きは1mmである。その他の構造諸元は以下のとおりである。n-導電型のドリフト層2はn⁺導電型のドレイン層3の上に設け、厚さは約20μmである。n⁺導電型のドレイン層3は、厚さ約300μm、p導電型のボディ層4の厚さは4μm、n⁺導電型のソース領域5の接合深さは0.5μm、凹部すなわちトレンチ69の深さは6μm、トレンチ幅は3μm、トレンチ69内に設けたSiO₂（酸化珪素）等の絶縁物層9の厚さはトレンチ69底部で1μm、トレンチ69側面で0.1μmである。本実施例では、トレンチ型絶縁ゲート電極14は紙面奥行方面に長いストライプ状である。なおトレンチの平面形状は、例えばこの実施例のように紙面奥行方向に長い長溝状のものの他に、例えば直径3μmの円形孔状や正方形のものなどでもよい。トレンチの配置は、例えば5μmピッチで等間隔に配列する。なお円形のトレンチの場合は縦横に格子状に又は千鳥状に配列すればよい。

【0033】本実施例の製作方法の具体例は、次のとおりである。最初にドレイン領域として機能する10¹⁸から10²⁰atm/cm³濃度の、たとえば、10¹⁹atm/cm³の濃度のn⁺形SiC（炭化珪素）基板3を用意する。この基板3の一表面上に10¹⁵から10¹⁶atm/cm³濃度、たとえば約5×10¹⁵atm/cm³濃度のSiCのn-導電型のドリフト層2を気相成長法等により形成する。次にそのドリフト層2の上に10¹⁶atm/cm³程度のSiCのp導電型のボディ層4を気相成長法等により形成する。そして、ソース層として、選択的に10¹⁸atm/cm³程度の濃度のn⁺導電型の領域5を窒素のイオン打ち込み等により形成する。（窒素にかえてりん等でも可能。）

【0034】次に、図9のように基板3、ドリフト層2及びボディ層4からなる広義の基板を異方性エッティングして、p導電型のボディ層4を貫通し底部がn-導電型のドリフト層2に達するトレンチ（溝）69を形成する。続いて、トレンチ69の内表面にSiO₂のゲート絶縁膜9を形成し、さらに気相成長法により選択的にトレンチ底部のSiO₂ゲート絶縁膜9を厚くし、約1μmとする。そしてトレンチ69内にりんを高濃度に含んだゲ

ート領域としてのポリシリコンを堆積しトレンチ69を埋め込んでゲート領域14を作る。トレンチ69の寸法の1例は、深さ6μm、幅3μm、長さ1mmである。ここに示した寸法は1例であって、必要に応じて他の寸法も用いる。トレンチ69内のポリシリコンを残し、それ以外の場所（基板表面等）の残りのポリシリコンを除去することにより、トレンチ型絶縁ゲート電極14が形成される。最後に、アルミニウム（他にニッケル等も用いる）で表面にソース電極11、裏面にドレイン電極10を形成し、絶縁ゲート半導体装置(MOSFET)を完成する。このMOSFETのオン抵抗は、約30mΩ・cm²であった。

【0035】本実施例はnチャネルSiC MOSFETであり、この装置ではドレイン電極10の電位がソース電極11の電位より高く、かつゲート電極であるトレンチ型絶縁ゲート電極14の電位がソース電極11の電位よりも高くなるようにゲート電圧を印加する。このゲート電圧がしきい値電圧を超えた場合、トレンチ型絶縁ゲート電極14の側面のp導電型のボディ層4の表面にn導電型のチャネルが形成される。それにより電子がn⁺導電型のソース領域5からそのチャネルを介してn-導電型のドリフト層2、さらにn⁺導電型のドレイン層3に流れ込み半導体装置がオンとなる。また、ゲート電極であるトレンチ型絶縁ゲート電極14の電位がソース電極11の電位以下になるようにゲート電圧を印加し、かつドレイン電極10の電位がソース電極11の電位より高くなるように電圧を印加した場合、n-導電型のドリフト層2とp導電型のボディ層4の接合24の両側に空乏層が拡がる。この空乏層により電界強度を緩和し、印加電圧に耐える耐電圧性が生じる。

【0036】本実施例では、絶縁物層9のトレンチ底部の厚みを1μmとトレンチ側面部の厚みより数倍から10倍程度以上厚くすることにより、絶縁物層9の底部及び底部側面端部の電界が緩和される。これにより、耐電圧の向上を図ることができる。あるいは、ゲート絶縁物層9の信頼性を向上できる。

【0037】計算による予測では、図11のような従来のトレンチ型絶縁ゲートMOSFETの場合には、トレンチ型絶縁ゲート電極14とソース電極11を短絡し、ソース電極11を0Vとしドレイン電極10に+2000Vを印加した場合、トレンチ型絶縁ゲート底部のSiO₂絶縁物層9の電界強度は、SiO₂の破壊電界強度である6~10MV/cmを超える値となった。これに対して、本実施例のMOSFETのように絶縁物層9の厚みを1μmとしたものでは、トレンチ型絶縁ゲート底部側端部のSiO₂絶縁物層9の電界強度は、従来のものに比べて90%程度減少する。絶縁物層の信頼性は、電界強度がその破壊電界強度近くになると大幅に低下する。本実施例では絶縁物層9の電界強度が大幅に小さくなつたことから、信頼性が大幅に向上した。その結果半導体装置の耐圧は

2900Vから3250Vに向上した。さらにn-ドリフト層を厚くすることにより、さらなる高耐圧化が可能である。ドレイン電極10に印加した電圧はn-導電型のドリフト層2とトレンチ型絶縁ゲート14の底部の絶縁物層9により分担され、絶縁物層9の電圧分担が大きくなり、それに応じて電界強度も大きくなつた。しかし、本実施例のようにトレンチ型絶縁ゲート14の底部の絶縁物の厚さを約1μm以上とすると、n-導電型のドリフト層2およびトレンチ型絶縁ゲート底部絶縁物層9により電圧が分担され、特に絶縁物層9の底部でドレイン-ソース間印加電圧の大部分を分担する。しかし、絶縁物層9の厚みを増した分だけその層9の電界強度も小さくなる。耐圧が高い素子の場合には、トレンチ型絶縁ゲート14の底部の絶縁物層9の電界強度が特に高くなるので、絶縁物層9底部の厚みを増す効果は顕著になる。実施例9において、実施例5における第2電界緩和半導体領域8に相当するものを設けると、実施例5と同様の効果が得られる。実施例9において、実施例7におけるように、ドレイン電極19を絶縁ゲート電極14から所定の距離を隔てて絶縁ゲート電極14に並行して設けると、実施例7と同様の効果を得ることができる。

【0038】<<実施例10>>図10は、本発明の実施例10のnチャネルSiC IGBTのセグメントの断面図である。その構造は実施例9のn⁺導電型のドレイン層3の代わりにp導電型のコレクタ層6を形成したものである。実施例10の構造諸元および製作方法は、実施例9のSiC-n⁺導電型基板の代わりにSiC-p⁺導電型基板を用いる点が異なるだけであり、後の製作工程は実施例9の場合と同様である。尚、p⁺導電型基板の不純物濃度は、10¹⁸~10¹⁹atm/cm³である。

【0039】本実施例のnチャネルIGBTの動作において、先ずコレクタ電極12の電位がエミッタ電極13の電位より高く、かつゲート電極であるトレンチ型絶縁ゲート電極14の電位がエミッタ電極13の電位よりも高くなるようにゲート電圧を印加する。このゲート電圧がしきい値電圧を超えると、トレンチ型絶縁ゲート電極14の側面のp導電型のボディ層4の表面にn導電型のチャネルが形成され、n⁺導電型のエミッタ領域7からそのチャネルを介して電子がn-導電型のドリフト層2に流れ込む。これによってp導電型のコレクタ層6からはn-導電型のドリフト層2に正孔が注入されオンとなる。この時、n-導電型のドリフト層2で電導率変調が起こるため、MOSFETでは非常に高かったオン抵抗が、IGBTでは大幅に低くなる。本実施例の場合、200A/cm²の電流でオン電圧は1.5Vであり、オン抵抗は7.5mΩ・cm²であった。また、ゲート電極であるトレンチ型絶縁ゲート電極14の電位がエミッタ電極13の電位以下になるようにゲート電圧を印加し、かつコレクタ電極12の電位がエミッタ電極13の電位より高くなるように電圧を印加した場合、n-導電型のドリフト層2とp

導電型のボディ層4の接合24の両側に空乏層が拡がって電界強度を緩和し、印加電圧に耐える耐電圧性が生じる。

【0040】本実施例では、トレンチ型絶縁ゲート電極14の下部では、印加電圧の大部分が絶縁物層9の底部により分担されるが、絶縁物層9の底部を厚くすることによりその底部及び底部側面端部の電界強度が緩和される。これにより、ゲート絶縁物層9の信頼性が大幅に向上する。また、ゲート絶縁物層9の電界強度が緩和されるため耐圧の向上を図ることが可能である。本実施例の場合においても、前述のMOSFETの場合と同様にトレンチ型絶縁ゲート14の底部側面部の絶縁物層9の電界強度は、絶縁物層9を大幅に厚くしない従来の構造のIGBTに比べ、90%程度緩和される。したがって、本実施例においても、ゲート絶縁物層9の電界強度が緩和されたことにより耐圧の向上を図れるとともにゲート絶縁物層9の信頼性が大幅に向上する。例えば実施例によれば耐圧が2900Vから3250Vに改善できた。

【0041】実施例10において、実施例6における第2電界緩和半導体領域8に相当するものを設けると、実施例6と同様の効果が得られる。実施例10において、実施例7におけるように、コレクタ電極12を絶縁ゲート電極14から所定の距離を隔てて絶縁ゲート電極14に並行して設けると、実施例7と同様の効果を得ることができる。

【0042】以上、実施例1ないし10について本発明を説明したが、本発明はこれらの実施例に限定されるものではなく、トレンチ型MOSサイリスタ、トレンチ型静電誘導トランジスタ、サイリスタ及びIEGT(Injection Enhanced Insulated GateBipolar Transistor)等にも適用でき、各種の変形や応用ができるものである。また絶縁物層9はSiO₂以外にTa₂O₅(酸化タンタル)、Si₃N₄(窒化珪素)やAlN(窒化アルミニウム)といった他の絶縁物でもよい。さらに、本発明の実施例ではゲートはトレンチを埋め込んだ構造にしてあるが、必ずしもその必要はなく、SiO₂絶縁物層9を介してトレンチ6.9の内壁の一部に薄膜状に形成してもかまわない。

【0043】

【発明の効果】本発明の絶縁ゲート半導体装置では、トレンチ型絶縁ゲートの底部に第2の導電型をもつ第1の半導体領域を形成したことにより、従来のトレンチ型絶縁ゲート構造の半導体装置では高電界であったトレンチ型絶縁ゲートの底部の絶縁物層の電界強度が緩和された。その結果半導体装置では耐圧を従来のものに比べて15~30%程度向上できた。上記の電界強度の緩和によりその絶縁物層の信頼性が向上する。本発明の絶縁ゲート半導体装置では、トレンチ型絶縁ゲートの底部に第2の導電型をもつ第1の半導体領域を形成し、トレンチ型絶縁ゲートの底部の絶縁物層の厚さを側面部の厚さより厚くしたことにより、従来のトレンチ型絶縁ゲート構造の半導体装置では、高電界であったトレンチ型絶縁ゲートの底部の絶縁物層の電界強度が緩和された。その結果半導体装置では耐圧を従来のものに比べて45~65%程度向上できる。上記の電界強度の緩和により絶縁物層の信頼性が向上する。

り厚くしたことにより、従来のトレンチ型絶縁ゲート構造の半導体装置では高電界であったトレンチ型絶縁ゲートの底部の絶縁物層の電界強度がさらに、緩和された。その結果半導体装置では耐圧を従来のものに比べて45~65%程度向上できた。上記の電界強度の緩和によりその絶縁物層の信頼性が向上する。

【0044】また、本発明の絶縁ゲート半導体装置の半導体基板を、より高い導電率をもつ基板の上に同じ導電型でそれより低い導電率の層を設けた構造とすることにより、第2の電極と半導体基板との接触抵抗を小さくすることができる。このより低い導電率の層を形成したことにより半導体装置の耐圧を高くすることができる。

【0045】さらに、本発明の絶縁ゲート半導体装置の第2の半導体領域の導電率を、半導体基板内で第2の導電型をもち半導体基板との間に接合を形成する第2の導電型の半導体層と接合を形成している層の導電率よりも高くすることにより、第1の電極と第2の半導体領域との接触抵抗を小さくすることができ、半導体装置のオン抵抗を低減できる。

【0046】また、半導体基板の前記接合をもつ面とは反対側の面に第2の導電型の半導体層を設けた絶縁ゲート半導体装置において、トレンチ型ゲート底部に第2の導電型の第1の半導体領域を形成することにより、従来のトレンチ型絶縁ゲート構造の半導体装置では、高電界であったトレンチ型絶縁ゲートの底部の絶縁物層の電界強度が緩和された。その結果半導体装置では耐圧を従来のものに比べて15~30%程度向上できる。上記の電界強度の緩和により絶縁物層の信頼性が向上する。また、半導体基板の前記接合をもつ面とは反対側の面に第2の導電型の半導体層を設けた絶縁ゲート半導体装置において、トレンチ型ゲート底部に第2の導電型の第1の半導体領域を形成し、トレンチ型絶縁ゲートの底部の絶縁物層の厚さを側面部の厚さより厚くしたことにより、従来のトレンチ型絶縁ゲート構造の半導体装置では、高電界であったトレンチ型絶縁ゲートの底部の絶縁物層の電界強度が緩和された。その結果半導体装置では耐圧を従来のものに比べて45~65%程度向上できる。上記の電界強度の緩和により絶縁物層の信頼性が向上する。

【0047】さらに、本発明の絶縁ゲート半導体装置の半導体基板内に第2の導電型の第3の半導体領域を選択的に設けることにより、第2の導電型の第1の半導体領域だけを設けた場合よりさらに絶縁ゲート半導体装置のトレンチゲートの底部の絶縁物層側端部の電界強度を緩和することができた。それにより半導体装置の耐圧を従来のものに比べて55~130%程度向上できた。上記の電界強度の緩和により絶縁物層の信頼性がさらに向上する。さらに、第2の電極を第1の電極と同じ方向に設けた横型の半導体装置では、上述の高耐圧化あるいは信頼性の向上が図れるうえに、個々の半導体装置が同じ方向に第2の電極を有するので接続の自由度が増し、高集

積化が可能となる。さらに、第2の導電型の第1の電界緩和半導体領域をトレンチの底部及び底部につながる側部にも形成することにより、トレンチ型絶縁ゲートの底部側端部の電界強度をさらに緩和することができ、耐圧の向上を図ることができる。また、絶縁物層の電界強度緩和により、絶縁物層の信頼性の向上を図ることができる。また、絶縁物層の底部の厚さを側面より大幅に厚くすることにより、絶縁物層の底部及び底部と側面との境界部の電界を大幅に緩和することができ、耐圧の向上を図ることができる。また、絶縁物層の電界強度の緩和により、絶縁物層の信頼性の大幅な向上を図ることができる。さらに、第2の導電型の第1の半導体領域を形成することにより、さらなる高耐圧化又は信頼性の向上がはかれる。

【図面の簡単な説明】

【図1】本発明の実施例1の絶縁ゲート半導体装置の断面図

【図2】本発明の実施例2の絶縁ゲート半導体装置の断面図

【図3】本発明の実施例3の絶縁ゲート半導体装置の断面図

【図4】本発明の実施例4の絶縁ゲート半導体装置の断面図

【図5】本発明の実施例5の絶縁ゲート半導体装置の断面図

【図6】本発明の実施例6の絶縁ゲート半導体装置の断面図

【図7】本発明の実施例7の絶縁ゲート半導体装置の断面図

【図8】本発明の実施例8の絶縁ゲート半導体装置の断面図

【図9】本発明の実施例9の絶縁ゲート半導体装置の断面図

【図10】本発明の実施例10の絶縁ゲート半導体装置の断面図

【図11】従来のMOSFETの絶縁ゲート半導体装置の断面図

【図12】従来のIGBTの絶縁ゲート半導体装置の断面図

【符号の説明】

1、1A：電界緩和半導体領域

2：n-導電型のドリフト層

3：n⁺導電型のドレイン層

4：p導電型のボディ層

5：n⁺導電型のソース領域

6：p導電型のコレクタ層

7：n⁺導電型のエミッタ領域

8：第2電界緩和半導体領域

9：トレンチ型絶縁ゲート絶縁物層

10：ドレイン電極

11：ソース電極

12：コレクタ電極

13：エミッタ電極

14：トレンチ型絶縁ゲート電極

15：ターミネーション領域

19：ドレイン電極

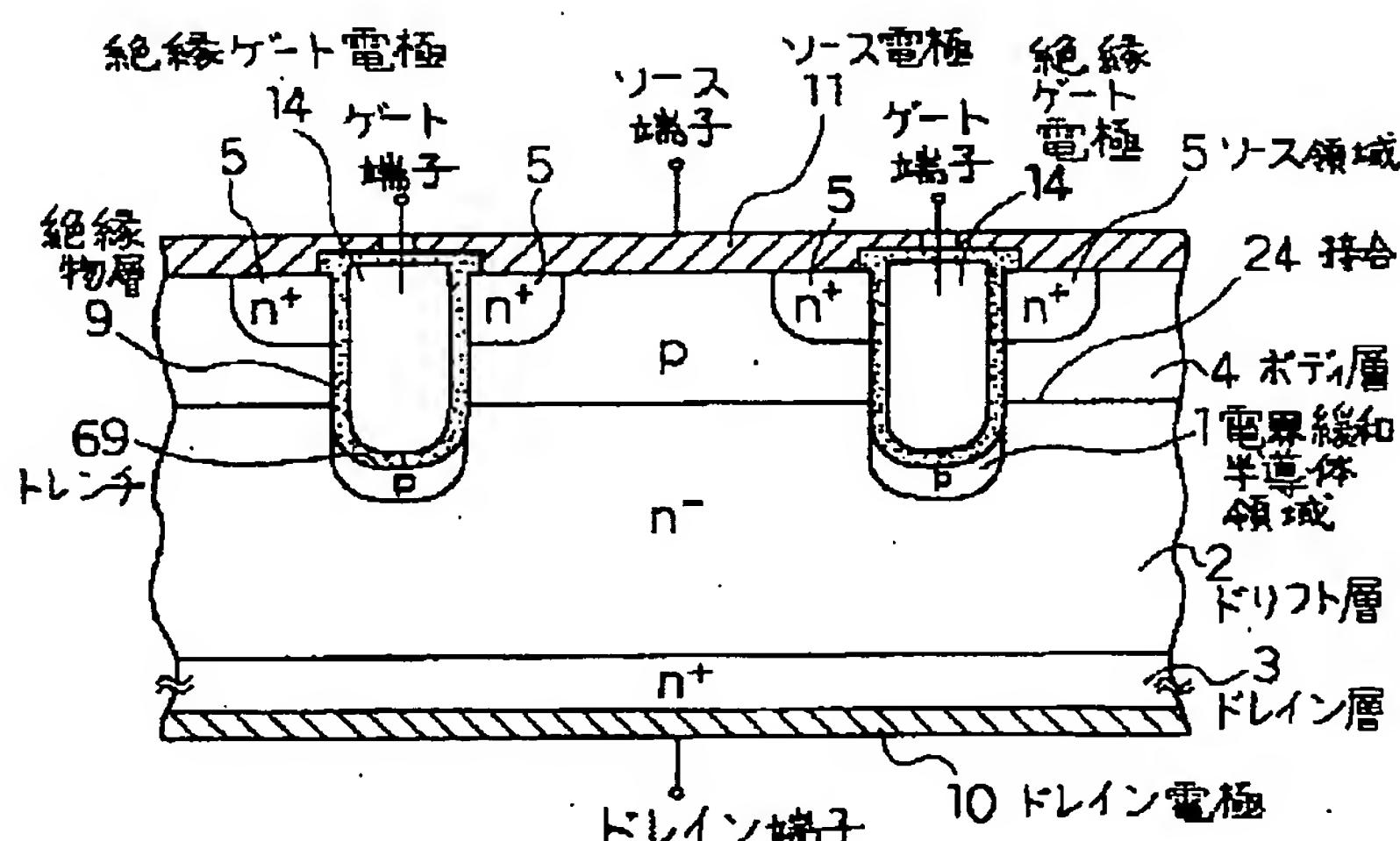
24：接合部

33：ドレイン領域

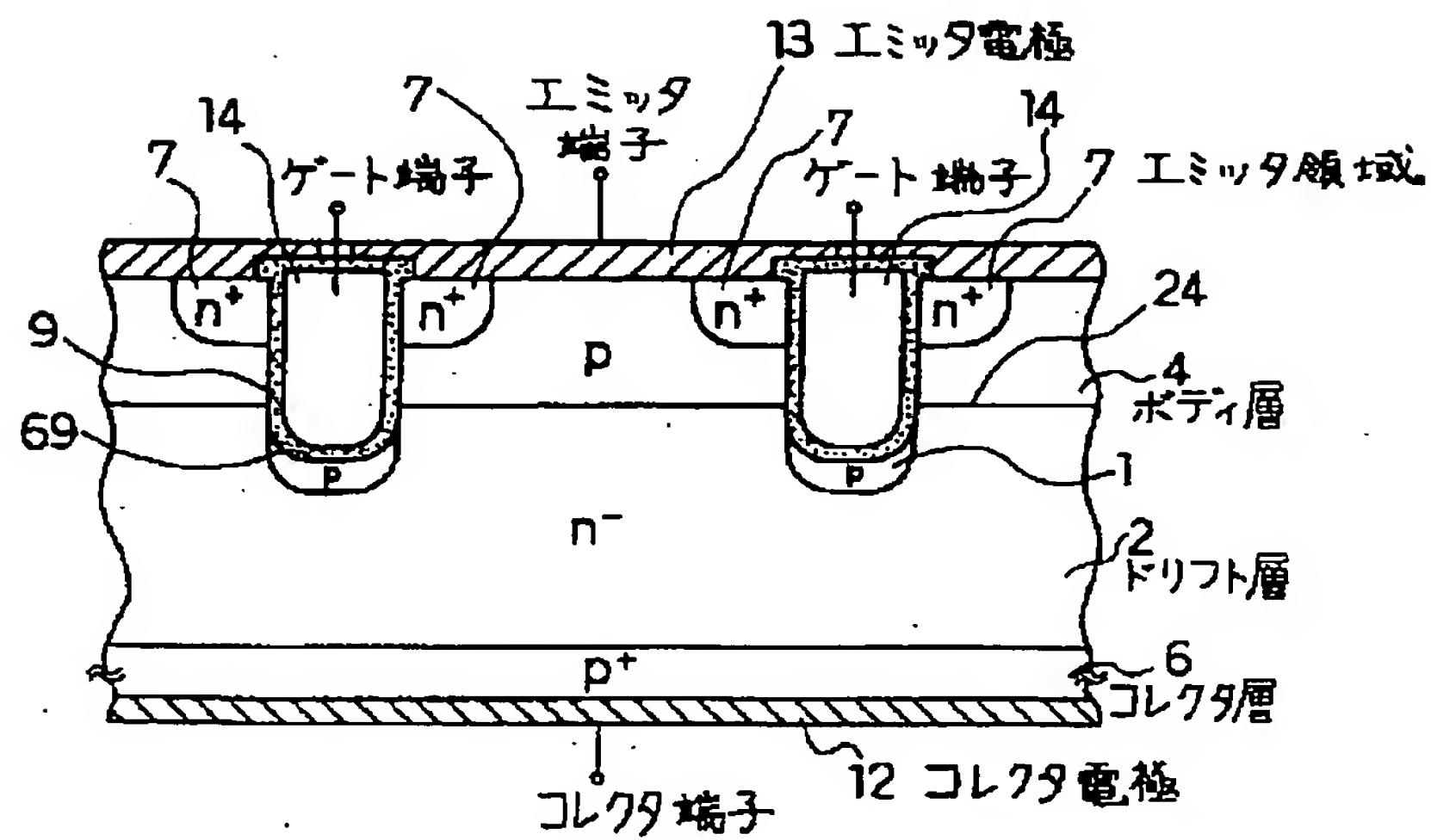
40：ボディ領域

69：トレンチ

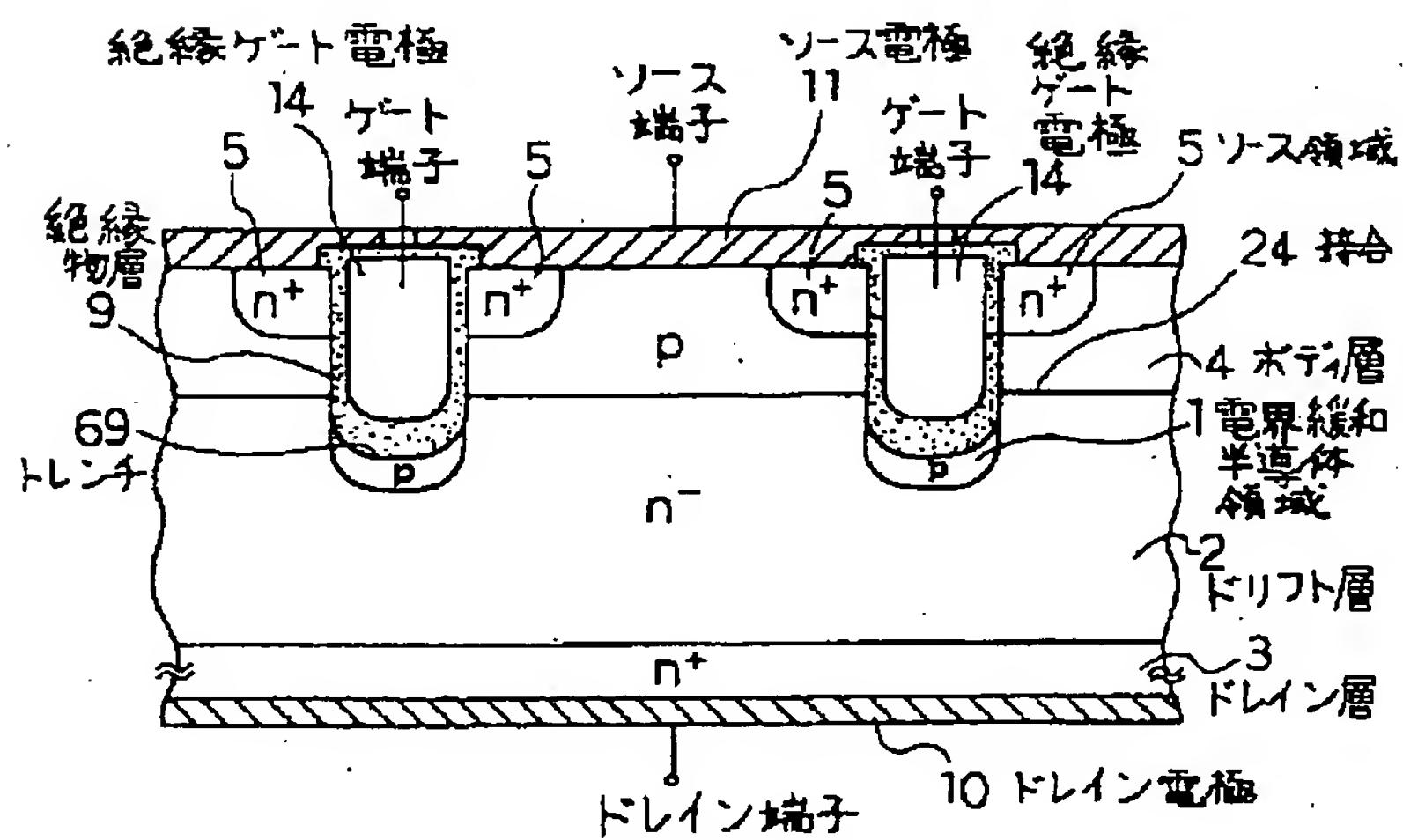
【図1】



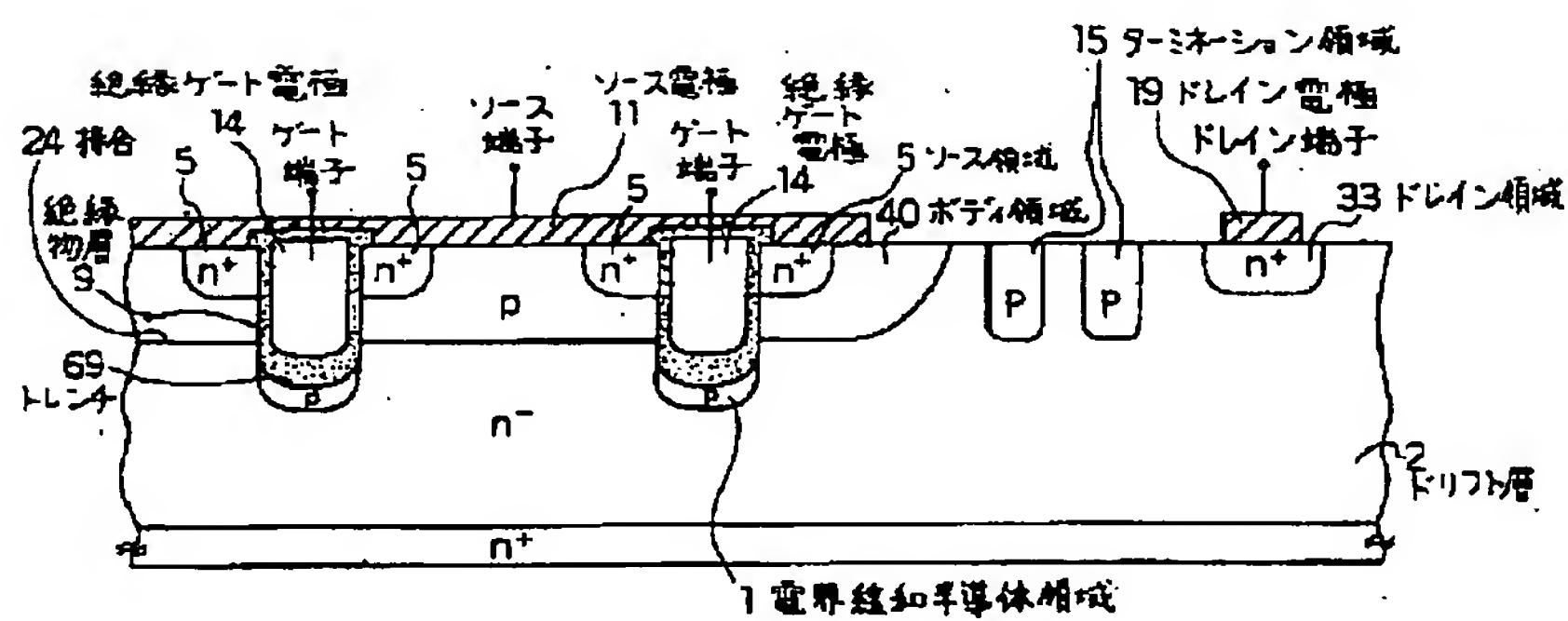
【图2】



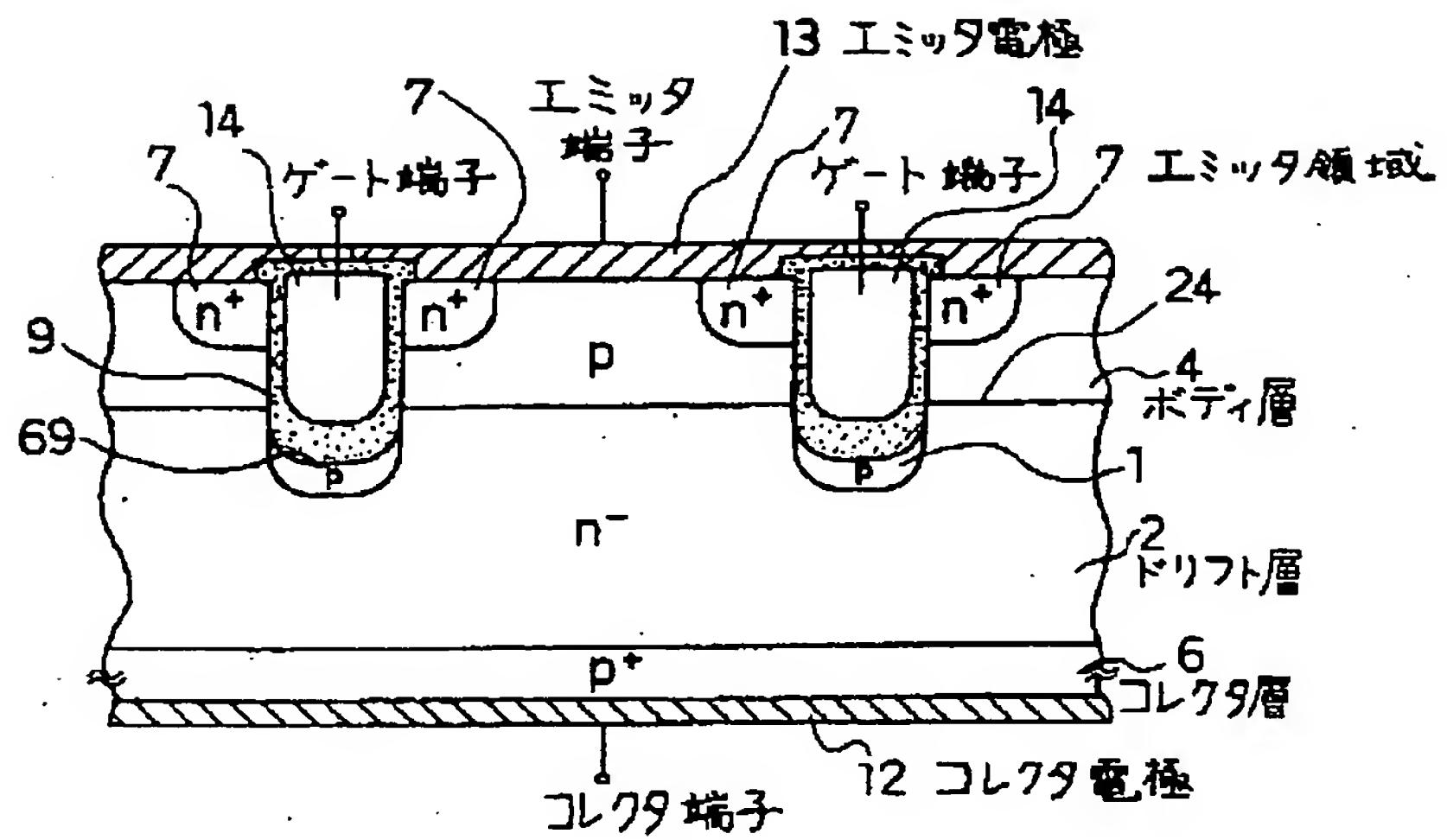
〔 3〕



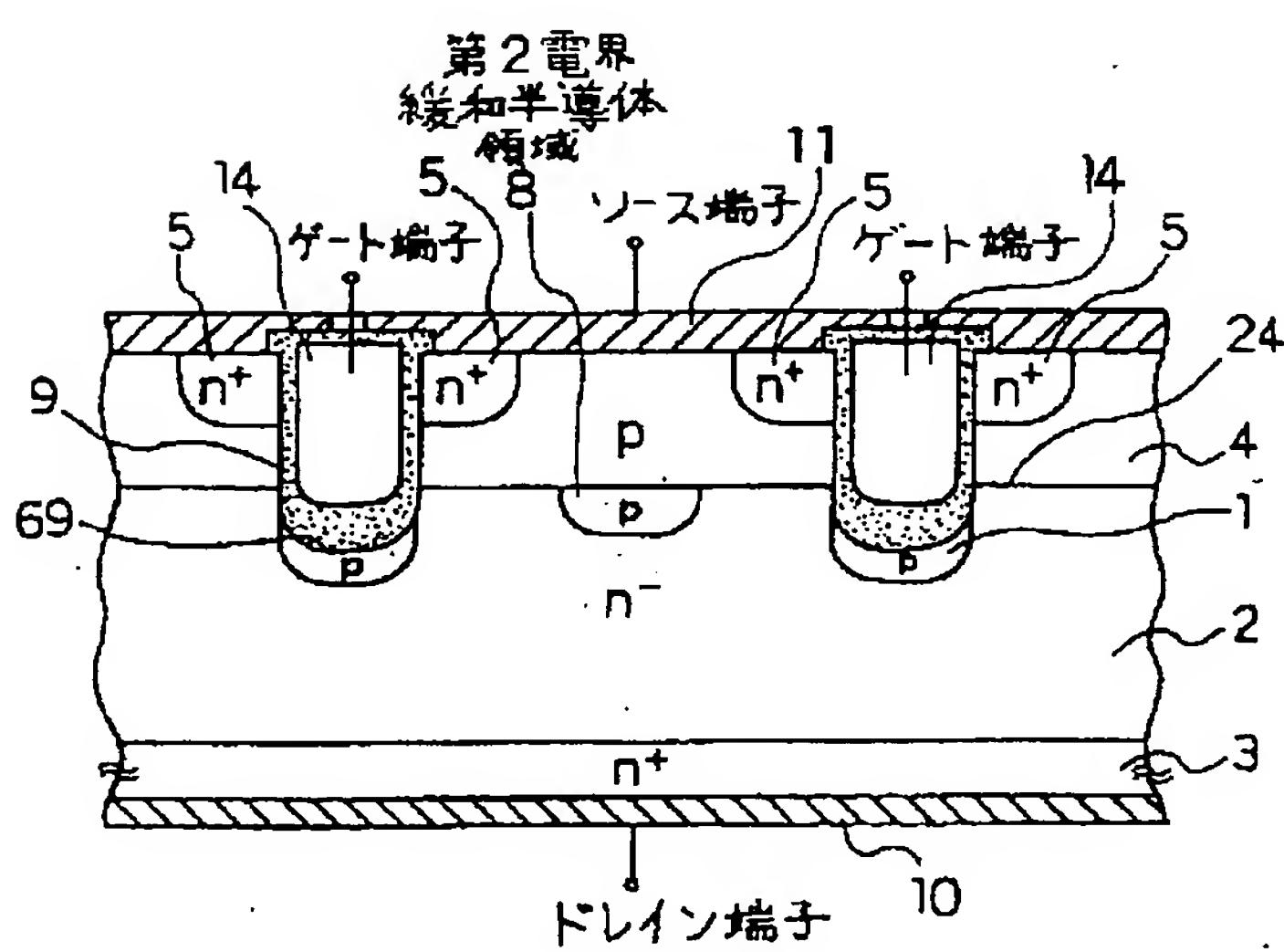
【图7】



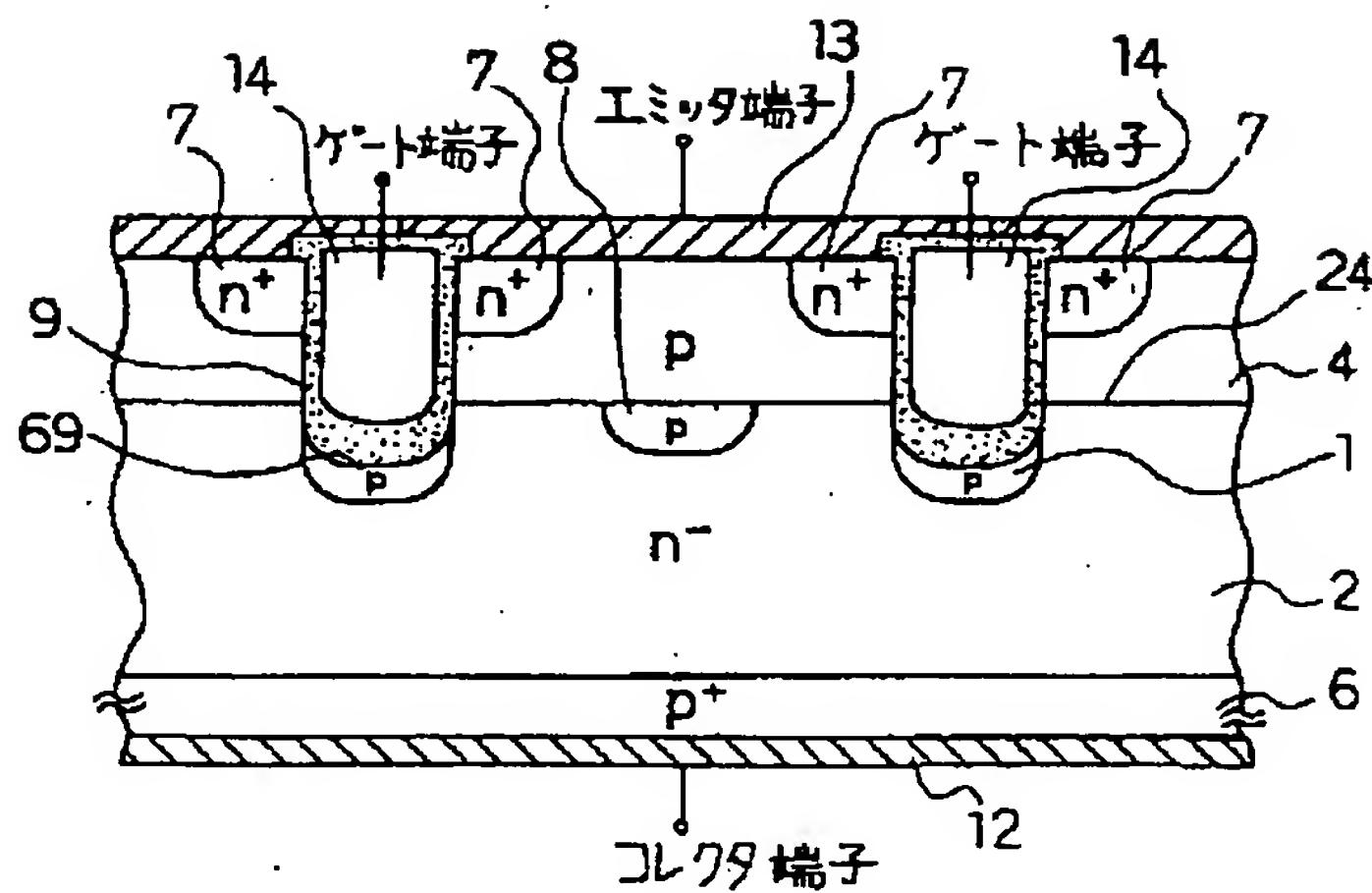
【図4】



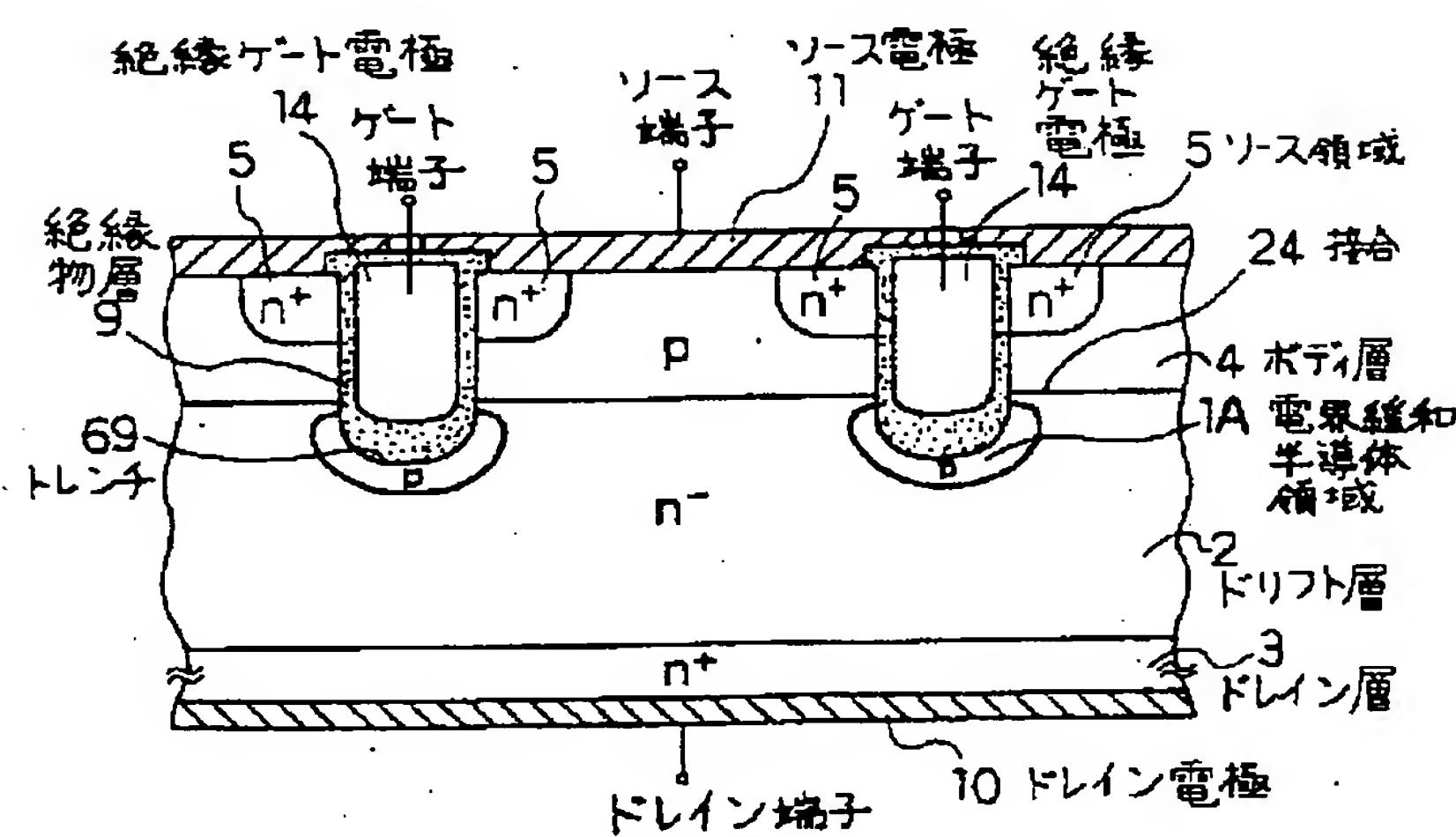
【図5】



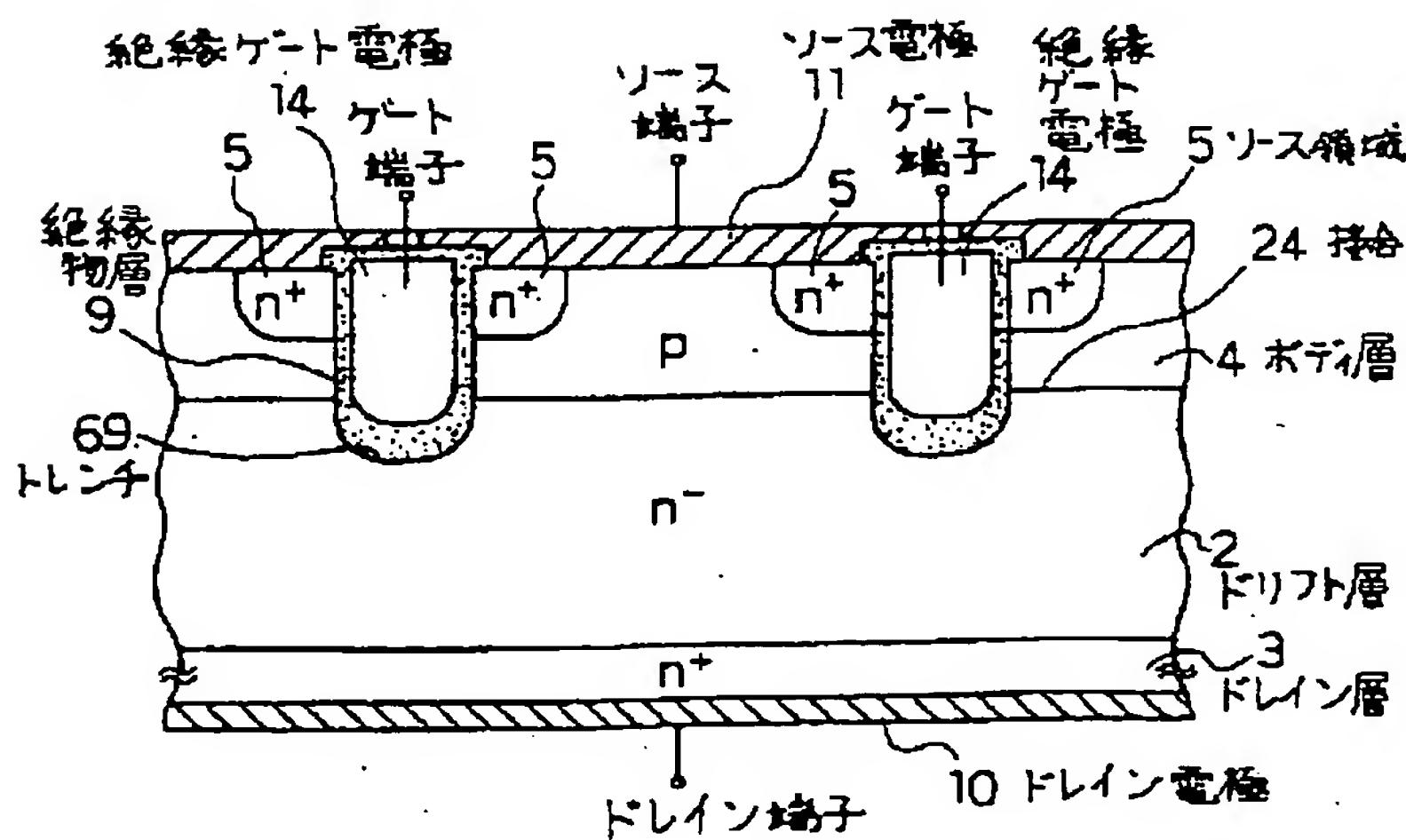
【 6]



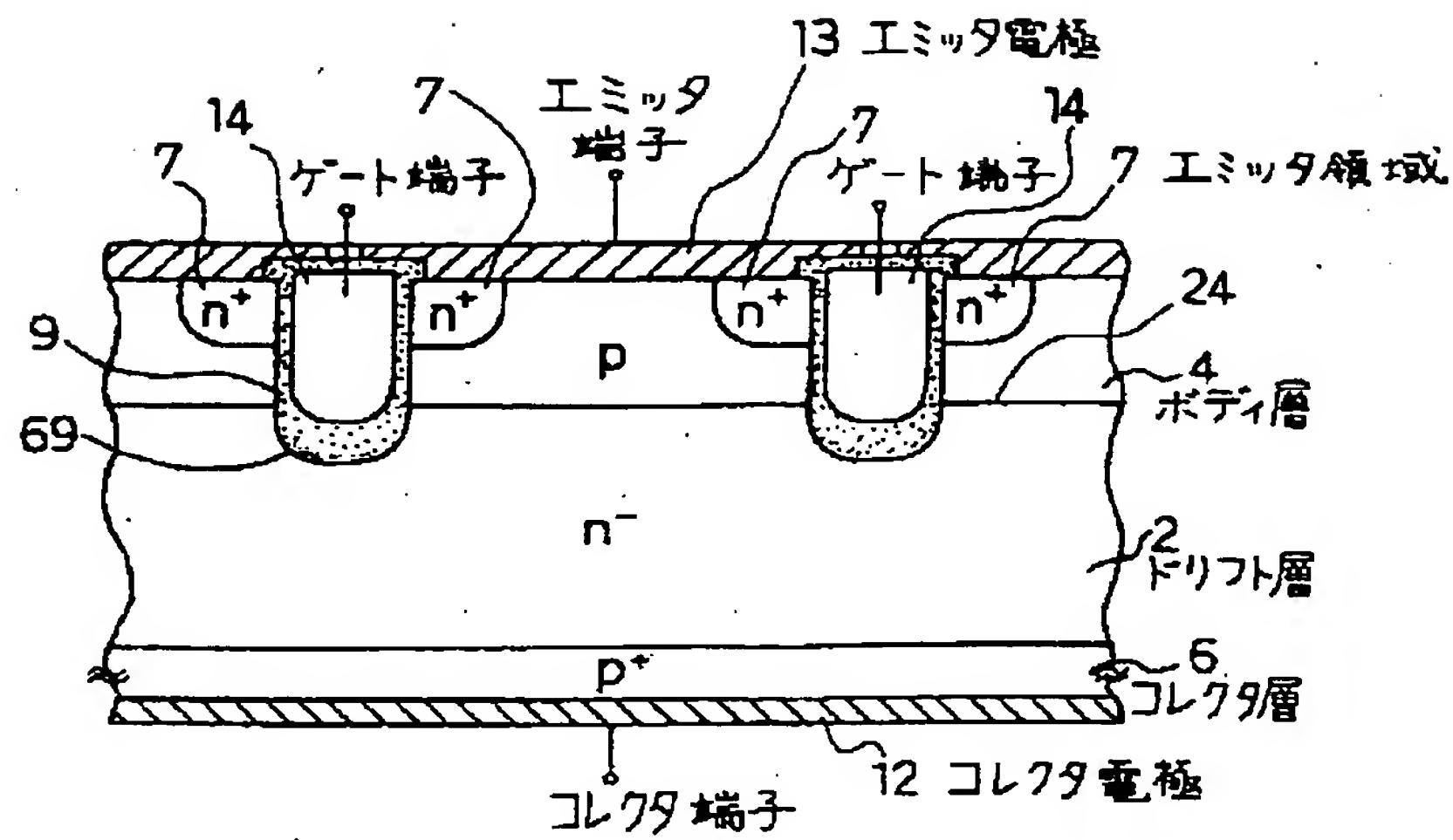
[✓ 8]



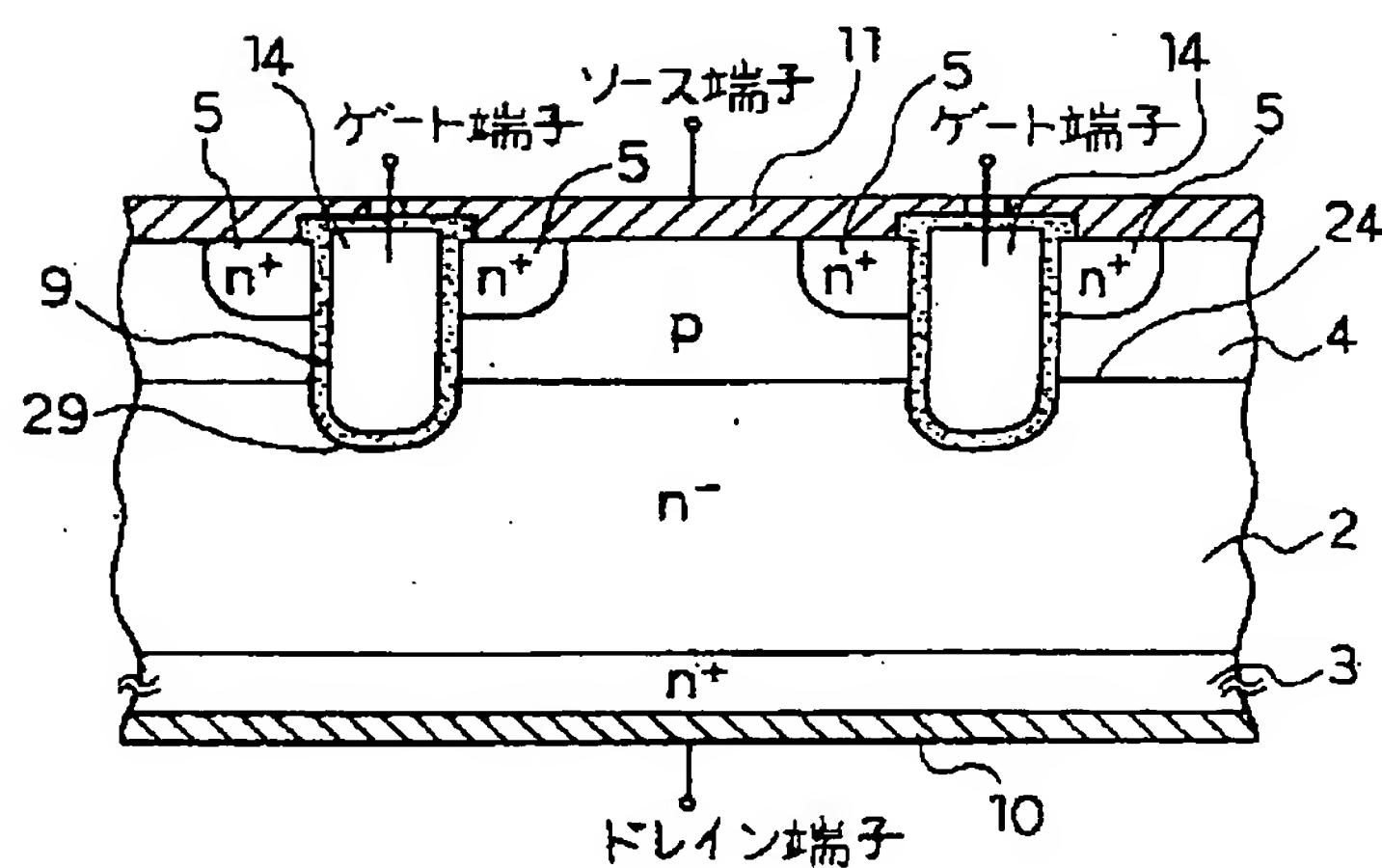
【 9】



【図10】



【図11】



【図12】

